

特性

- 灵活的LVDS接口允许字、字节或半字节加载
- 单载波W-CDMA ACLR = 82 dBc(122.88 MHz中频)
- 可调模拟输出: 8.7 mA至31.7 mA, RL = 25 Ω至50 Ω
- 新颖的2x/4x/8x插值器/复数调制器允许将载波放在DAC带宽中的任意位置
- 增益与相位调整支持边带抑制
- 多芯片同步接口
- 高性能、低噪声锁相环(PLL)时钟倍频器
- 数字反sinc滤波器
- 低功耗(全部工作条件下): 1.5 W (1.2 GSPS), 800 mW (500 MSPS)
- 72引脚、裸露焊盘LFCSP封装

应用

- 无线基础设施
- W-CDMA、CDMA2000、TD-SCDMA、WiMAX、GSM、LTE
- 数字高/低中频合成
- 发射分集
- 宽带通信: LMDS/MMDS、点对点

概述

AD9122是一款双通道、16位、高动态范围数模转换器(DAC)，提供1200 MSPS采样速率，可以产生最高达奈奎斯特频率的多载波。它具有针对直接变频传输应用进行优化的特性，包括复数数字调制以及增益与失调补偿。DAC输出经过优化，可以与模拟正交调制器无缝接口，例如ADI公司的ADL537x F-MOD系列调制器。四线式串行端口接口允许对许多内部参数进行编程和回读。满量程输出电流可以在8.7 mA至31.7 mA范围内进行编程。该器件采用72引脚LFCSP封装。

产品聚焦

1. 利用超低噪声与交调失真(IMD)特性，从基带到高中频的宽带信号可以实现高质量合成。
2. 专有的DAC输出开关技术可增强动态性能。
3. 电流输出配置简便，可以用于各种单端或差分电路拓扑结构。
4. 灵活的LVDS数字接口允许标准32线式总线的宽度降至原来的½或¼。

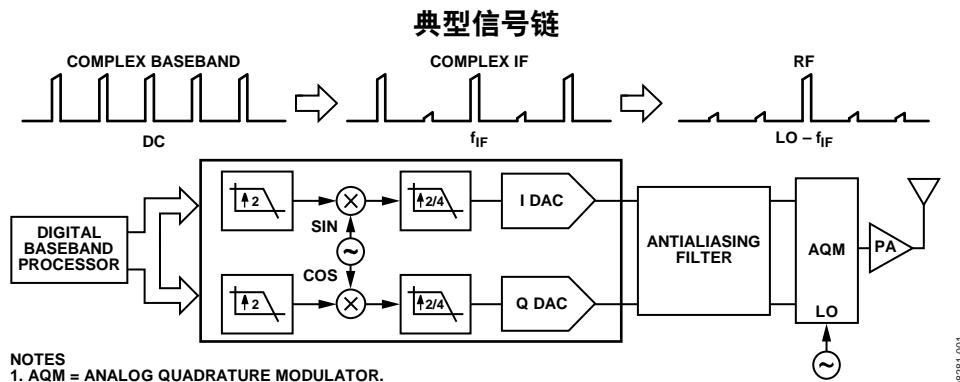


图1

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2010 Analog Devices, Inc. All rights reserved.

目录

特性	1	NCO调制	40
应用	1	数据路径配置	40
概述	1	确定插值滤波器模式	41
产品聚焦	1	数据路径配置示例	42
典型信号链	1	数据速率与插值模式	43
修订历史	3	粗调制混频序列	43
功能框图	4	正交相位校正	44
技术规格	5	直流失调校正	44
直流规格	5	反Sinc滤波器	44
数字规格	6	DAC输入时钟配置	45
数字输入数据时序规格	6	DAC输入时钟配置	45
交流规格	7	模拟输出	47
绝对最大额定值	8	发射DAC操作	47
热阻	8	辅助DAC操作	48
ESD警告	8	基带滤波器实现	49
引脚配置和功能描述	9	驱动ADL5375-15	49
典型工作特性	11	降低LO泄漏和干扰边带	50
术语	17	器件功耗	51
AD9122R1与AD9122R2的区别	18	温度传感器	52
工作原理	19	多芯片同步	53
串行端口操作	19	利用时钟倍频实现同步	53
数据格式	19	利用直接输入时钟实现同步	54
串行端口引脚功能描述	19	数据速率模式同步	54
串行端口选项	20	FIFO速率模式同步	55
器件配置寄存器映射和描述	21	其它同步功能	55
LVDS输入数据端口	33	中断请求操作	57
字接口模式	33	中断服务程序	57
字节接口模式	33	接口时序验证	58
半字节接口模式	33	SED操作	58
FIFO操作	33	SED示例	58
接口时序	35	启动程序示例	59
数字数据路径	37	外形尺寸	60
预调制	37	订购指南	60
插值滤波器	37		

修订历史

2010年3月—修订版0至修订版A

更改相关内容以反映R1与R2芯片的区别	通篇
更改特性部分	1
更改表1	5
更改表2	6
更改表5	7
更改表6中的IOVDD额定值	8
更改表8	9
更改图10至图15	12
增加“AD9122R1与AD9122R2的区别”部分； 增加图36和图37；重新排序	18
更改表10	21

更改表11	23
更改“FIFO操作”部分	33
更改“复位FIFO”部分并替换表13；重新排序； 增加“串行端口启动的FIFO复位”部分和 “FRAME启动的相对FIFO复位”部分	34
增加“FRAME启动的绝对FIFO复位”部分并 替换表14	35
更改图54	38
更改表18	39
更改“SED示例”部分	58
增加“启动程序示例”部分	59
2009年9月—修订版0：初始版	

功能框图

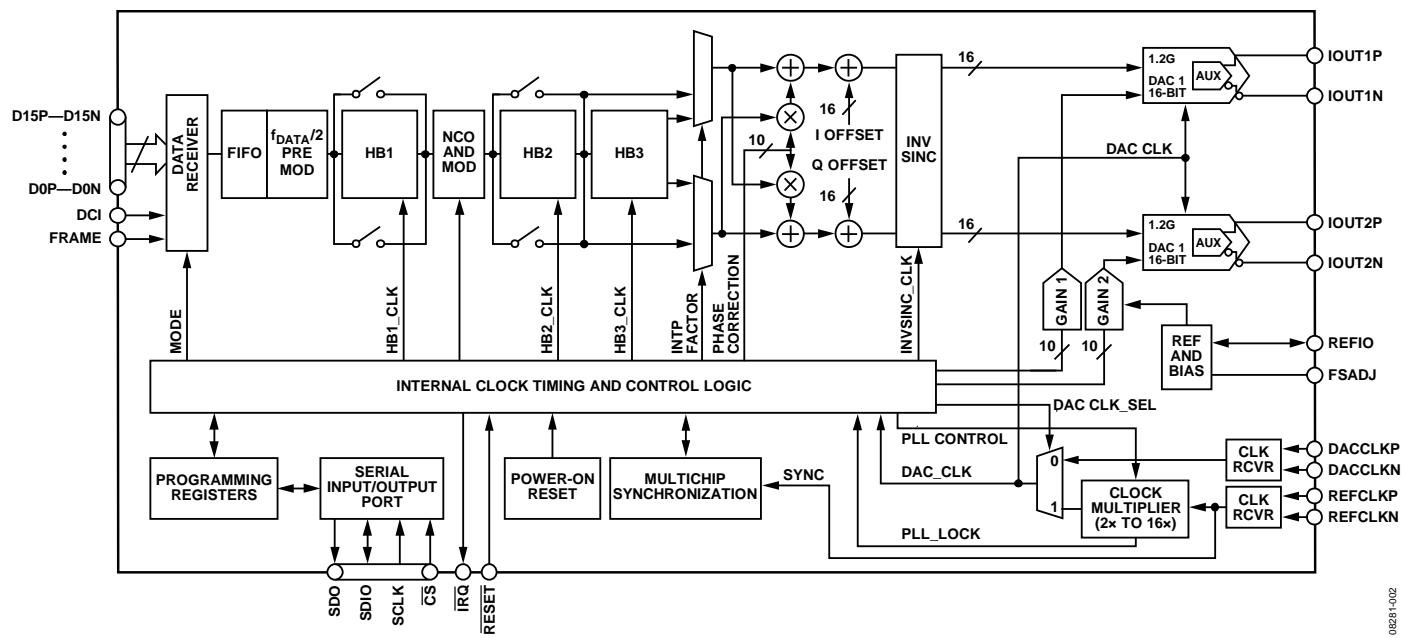


图2. AD9122功能框图

08281-002

技术规格

直流规格

除非另有说明, T_{MIN} 至 T_{MAX} 、AVDD33 = 3.3 V、DVDD18 = 1.8 V、CVDD18 = 1.8 V、 I_{OUTFS} = 20 mA、最大采样速率。

表1

参数	最小值	典型值	最大值	单位
分辨率	16			位
精度				
微分非线性(DNL)	±2.1			LSB
积分非线性(INL)	±3.7			LSB
主DAC输出				
失调误差	-0.001	0	+0.001	% FSR
增益误差(使用内部基准电压源)	-3.6	±2	+3.6	% FSR
满量程输出电流 ¹	8.66	19.6	31.66	mA
输出顺从电压范围	-1.0		+1.0	V
输出电阻	10			MΩ
增益DAC单调性	保证			
±0.5 LSB内的建立时间	20			ns
主DAC温度漂移				
失调	0.04			ppm/°C
增益	100			ppm/°C
基准电压	30			ppm/°C
基准电压				
内部基准电压	1.2			V
输出电阻	5			kΩ
模拟电源电压				
AVDD33	3.13	3.3	3.47	V
CVDD18	1.71	1.8	1.89	V
数字电源电压				
DVDD18	1.71	1.8	1.89	V
IOVDD	1.71	1.8/3.3	3.47	V
功耗				
2倍模式, $f_{DAC} = 491.22$ MSPS, IF = 10 MHz, PLL关闭	834			mW
2倍模式, $f_{DAC} = 491.22$ MSPS, IF = 10 MHz, PLL开启	913			mW
8倍模式, $f_{DAC} = 800$ MSPS, IF = 10 MHz, PLL关闭	1135	1241		mW
AVDD33	55	57		mA
CVDD18	85	90		mA
DVDD18	444	495		mA
掉电模式(寄存器0x01 = 0xF1)	6.5	18.8		mW
电源抑制比, AVDD33	-0.3	+0.3		% FSR/V
工作范围	-40	+25	+85	°C

¹ 基于10 kΩ外部电阻。

AD9122

数字规格

除非另有说明, T_{MIN} 至 T_{MAX} 、AVDD33 = 1.8 V、IOVDD = 3.3 V、DVDD18 = 1.8 V、CVDD18 = 1.8 V、 I_{OUTFS} = 20 mA、最大采样速率。

表2

参数	条件	最小值	典型值	最大值	单位
CMOS输入逻辑电平					
输入 V_{IN} 逻辑高电平	IOVDD = 1.8 V	1.2			V
输入 V_{IN} 逻辑高电平	IOVDD = 2.5 V	1.6			V
输入 V_{IN} 逻辑高电平	IOVDD = 3.3 V	2.0			V
输入 V_{IN} 逻辑低电平	IOVDD = 1.8 V		0.6		V
输入 V_{IN} 逻辑低电平	IOVDD = 2.5 V, 3.3 V		0.8		V
CMOS输出逻辑电平					
输出 V_{OUT} 逻辑高电平	IOVDD = 1.8 V	1.4			V
输出 V_{OUT} 逻辑高电平	IOVDD = 2.5 V	1.8			V
输出 V_{OUT} 逻辑高电平	IOVDD = 3.3 V	2.4			V
输出 V_{OUT} 逻辑低电平	IOVDD = 1.8 V, 2.5 V, 3.3 V		0.4		V
LVDS接收机输入 ¹	适用于DATA、DCI和FRAME输入				
输入电压范围 V_{IA} 或 V_{IB}		825	1675		mV
输入差分阈值 V_{IDTH}		-100	+100		mV
输入差分迟滞 V_{IDTHH} 至 V_{IDTHL}		20			mV
接收机差分输入阻抗 R_{IN}		80	120		Ω
LVDS输入速率	见表5				
DAC时钟输入(DACCLKP、DACCLKN)					
差分峰峰值电压		100	500	2000	mV
共模电压	自偏置输入, 交流耦合		1.25		V
最大时钟速率		1200			MHz
REFCLK输入(REFCLKP、REFCLKN)					
差分峰峰值电压		100	500	2000	mV
共模电压			1.25		V
REFCLK频率(PLL模式)	1 GHz $\leq f_{VCO} \leq$ 2.1 GHz	15.625	600		MHz
REFCLK频率(SYNC模式)	条件参见“多芯片同步”部分	0	600		MHz
串行外设接口					
最大时钟速率(SCLK)		40			MHz
最短脉冲宽度(高电平)(tPWH)			12.5		ns
最短脉冲宽度(低电平)(tPWOL)			12.5		ns
SDI至SCLK建立时间(tDS)		1.9			ns
SDI至SCLK保持时间(tDH)		0.2			ns
SDO至SCLK数据有效时间(tDV)		2.3			ns
\overline{CS} 至SCLK建立时间(tDCSB)			1.4		ns

¹ 除非另有说明, LVDS接收机兼容IEEE 1596缩小范围链路。

数字输入数据时序规格

表3

参数	最小值	典型值	最大值	单位
延迟(DACCLK周期数)				
1倍插值(使用或不使用调制)	64			周期
2倍插值(使用或不使用调制)	135			周期
4倍插值(使用或不使用调制)	292			周期
8倍插值(使用或不使用调制)	608			周期
反Sinc	20			周期
精调制	8			周期
上电时间	260			ms

交流规格

除非另有说明, T_{MIN} 至 T_{MAX} 、AVDD33 = 3.3 V、DVDD18 = 1.8 V、CVDD18 = 1.8 V、 I_{OUTFS} = 20 mA、最大采样速率。

表4

参数	最小值	典型值	最大值	单位
无杂散动态范围(SFDR)				
$f_{DAC} = 100$ MSPS, $f_{OUT} = 20$ MHz	78			dBc
$f_{DAC} = 200$ MSPS, $f_{OUT} = 50$ MHz	80			dBc
$f_{DAC} = 400$ MSPS, $f_{OUT} = 70$ MHz	69			dBc
$f_{DAC} = 800$ MSPS, $f_{OUT} = 70$ MHz	72			dBc
双音交调失真(IMD)				
$f_{DAC} = 200$ MSPS, $f_{OUT} = 50$ MHz	84			dBc
$f_{DAC} = 400$ MSPS, $f_{OUT} = 60$ MHz	86			dBc
$f_{DAC} = 400$ MSPS, $f_{OUT} = 80$ MHz	84			dBc
$f_{DAC} = 800$ MSPS, $f_{OUT} = 100$ MHz	81			dBc
噪声频谱密度(NSD): 八音, 各音间隔500 kHz				
$f_{DAC} = 200$ MSPS, $f_{OUT} = 80$ MHz	-162			dBm/Hz
$f_{DAC} = 400$ MSPS, $f_{OUT} = 80$ MHz	-163			dBm/Hz
$f_{DAC} = 800$ MSPS, $f_{OUT} = 80$ MHz	-164			dBm/Hz
W-CDMA邻道泄漏比(ACLR), 单载波				
$f_{DAC} = 491.52$ MSPS, $f_{OUT} = 10$ MHz	84			dBc
$f_{DAC} = 491.52$ MSPS, $f_{OUT} = 122.88$ MHz	82			dBc
$f_{DAC} = 983.04$ MSPS, $f_{OUT} = 122.88$ MHz	83			dBc
W-CDMA第二邻道泄漏比(ACLR), 单载波				
$f_{DAC} = 491.52$ MSPS, $f_{OUT} = 10$ MHz	88			dBc
$f_{DAC} = 491.52$ MSPS, $f_{OUT} = 122.88$ MHz	86			dBc
$f_{DAC} = 983.04$ MSPS, $f_{OUT} = 122.88$ MHz	88			dBc

表5. 接口速度

总线宽度	插值因子	f _{BUS} (Mbps)		
		1.8 V ± 5%	1.8 V ± 2%	1.9 V ± 5%
半字节(4位)	1x	1100	1200	1230
	2x (HB1)	1100	1200	1230
	2x (HB2)	1100	1200	1230
	4x	1100	1200	1230
	8x	1100	1200	1230
字节(8位)	1x	1100	1200	1230
	2x (HB1)	1100	1200	1230
	2x (HB2)	1100	1200	1230
	4x	1100	1200	1230
	8x	550	600	615
字(16位)	1x	1100	1200	1230
	2x (HB1)	900	1000	1000
	2x (HB2)	1100	1200	1230
	4x	550	600	615
	8x	275	300	307.5

绝对最大额定值

表6

参数	参考	额定值
AVDD33	AVSS, EPAD, CVSS, DVSS	-0.3 V 至 +3.6 V
IOVDD	AVSS, EPAD, CVSS, DVSS	-0.3 V 至 +3.6 V
DVDD18, CVDD18	AVSS, EPAD, CVSS, DVSS	-0.3 V 至 +2.1 V
AVSS	EPAD, CVSS, DVSS	-0.3 V 至 +0.3 V
EPAD	AVSS, CVSS, DVSS	-0.3 V 至 +0.3 V
CVSS	AVSS, EPAD, DVSS	-0.3 V 至 +0.3 V
DVSS	AVSS, EPAD, CVSS	-0.3 V 至 +0.3 V
FSADJ, REFIO, IOUT1P/IOUT1N, IOUT2P/IOUT2N	AVSS	-0.3 V 至 AVDD33 + 0.3 V
D[15:0]P/D[15:0]N, FRAMEP/FRAMEN, DCIP/DCIN	EPAD, DVSS	-0.3 V 至 DVDD18 + 0.3 V
DACCLKP/DACCLKN, REFCLKP/REFCLKN	DVSS	-0.3 V 至 CVDD18 + 0.3 V
RESET, \overline{IRQ} , \overline{CS} , SCLK, SDIO, SDO	EPAD, DVSS	-0.3 V 至 IOVDD + 0.3 V
结温		125°C
存储温度范围		-65°C 至 +150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作部分所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

72引脚LFCSP封装的裸露焊盘(EPAD)必须焊接到接地层。封装通过EPAD形成与电路板的电气和热连接。

θ_{JA} 、 θ_{JB} 和 θ_{JC} 典型值的测试条件为静止空气下的4层电路板。气流可增强散热，从而有效降低 θ_{JA} 和 θ_{JB} 。

表7. 热阻

封装	θ_{JA}	θ_{JB}	θ_{JC}	单位	条件
72引脚 LFCSP_VQ	20.7	10.9	1.1	°C/W	焊接 soldered

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

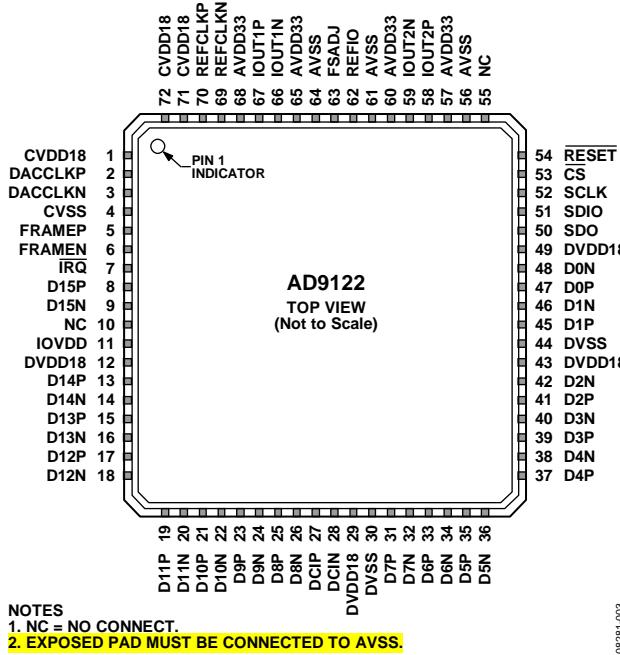


图3. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	描述
1	CVDD18	1.8 V时钟电源。为时钟接收器、时钟分配和PLL电路供电。
2	DACCLKP	DAC时钟输入(+)。
3	DACCLKN	DAC时钟输入(-)。
4	CVSS	时钟供电公共地端。
5	FRAMEP	帧输入(+)。
6	FRAMEN	帧输入(-)。
7	IRQ	中断请求。开漏、低电平有效输出。连接外部上拉电阻到IOVDD。
8	D15P	数据位15 (MSB) (+)。
9	D15N	数据位15 (MSB) (-)。
10	NC	不连接到器件。
11	IOVDD	串行端口、RESET和IRQ的电源引脚。此引脚可以施加1.8 V至3.3 V电压。
12	DVDD18	1.8 V数字电源。为数字内核和数字数据端口供电。
13	D14P	数据位14 (+)。
14	D14N	数据位14 (-)。
15	D13P	数据位13 (+)。
16	D13N	数据位13 (-)。
17	D12P	数据位12 (+)。
18	D12N	数据位12 (-)。
19	D11P	数据位11 (+)。
20	D11N	数据位11 (-)。
21	D10P	数据位10 (+)。
22	D10N	数据位10 (-)。
23	D9P	数据位9 (+)。
24	D9N	数据位9 (-)。
25	D8P	数据位8 (+)。

AD9122

引脚编号	引脚名称	描述
26	D8N	数据位8(-)。
27	DCIP	数据时钟输入(+)。
28	DCIN	数据时钟输入(-)。
29	DVDD18	1.8 V数字电源。
30	DVSS	数字公共地端。
31	D7P	数据位7(+)。
32	D7N	数据位7(-)。
33	D6P	数据位6(+)。
34	D6N	数据位6(-)。
35	D5P	数据位5(+)。
36	D5N	数据位5(-)。
37	D4P	数据位4(+)。
38	D4N	数据位4(-)。
39	D3P	数据位3(+)。
40	D3N	数据位3(-)。
41	D2P	数据位2(+)。
42	D2N	数据位2(-)。
43	DVDD18	1.8 V数字电源。
44	DVSS	数字公共地端。
45	D1P	数据位1(+)。
46	D1N	数据位1(-)。
47	D0P	数据位0(+)。
48	D0N	数据位0(-)。
49	DVDD18	1.8 V数字电源。
50	SDO	串行端口数据输出 (CMOS电平参考IOVDD)。
51	SDIO	串行端口数据输入/输出 (CMOS电平参考IOVDD)。
52	SCLK	串行端口时钟输入 (CMOS电平参考IOVDD)。
53	<u>CS</u>	串行端口片选。低电平有效 (CMOS电平参考IOVDD)。
54	<u>RESET</u>	复位。低电平有效 (CMOS电平参考IOVDD)。
55	NC	不连接到器件。
56	AVSS	模拟供电公共地端。
57	AVDD33	3.3 V模拟电源。
58	IOUT2P	Q DAC正电流输出。
59	IOUT2N	Q DAC负电流输出。
60	AVDD33	3.3 V模拟电源。
61	AVSS	模拟供电公共地端。
62	REFIO	基准电压源。标称1.2 V输出。应去耦至模拟公共地端。
63	FSADJ	满量程电流输出调整。在模拟公共地端上连接一个10 kΩ电阻。
64	AVSS	模拟供电公共地端。
65	AVDD33	3.3 V模拟电源。
66	IOUT1N	I DAC负电流输出。
67	IOUT1P	I DAC正电流输出。
68	AVDD33	3.3 V模拟电源。
69	REFCLKN	PLL参考时钟输入(-)。此引脚有第二功能，即用作SYNC输入。
70	REFCLKP	PLL参考时钟输入(+)。此引脚有第二功能，即用作SYNC输入。
71	CVDD18	1.8 V时钟电源。为时钟接收器、时钟分配和PLL电路供电。
72	CVDD18	1.8 V时钟电源。为时钟接收器、时钟分配和PLL电路供电。
	EPAD	裸露焊盘必须连接到AVSS。它提供到PCB的电气、热和机械连接。

典型工作特性

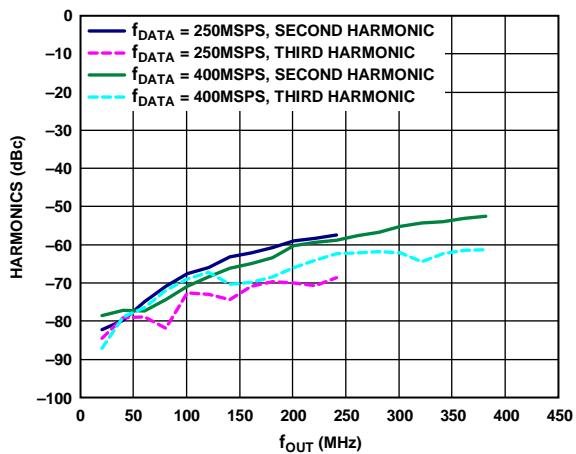


图4. 不同 f_{DATA} 下谐波与 f_{OUT} 的关系
(2倍插值, 数字量程 = 0 dBFS, $f_{SC} = 20$ mA)

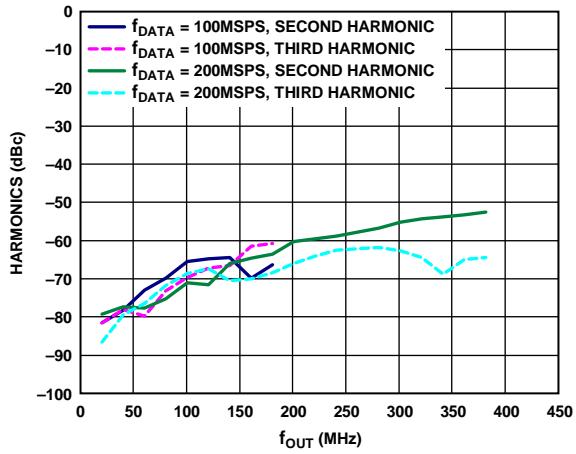


图5. 不同 f_{DATA} 下谐波与 f_{OUT} 的关系
(4倍插值, 数字量程 = 0 dBFS, $f_{SC} = 20$ mA)

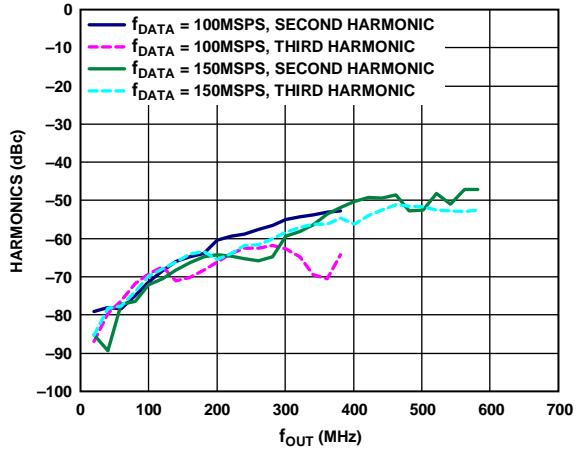


图6. 不同 f_{DATA} 下谐波与 f_{OUT} 的关系
(8倍插值, 数字量程 = 0 dBFS, $f_{SC} = 20$ mA)

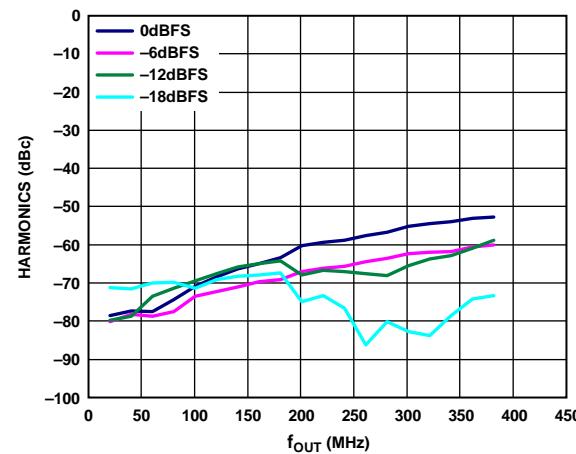


图7. 不同数字量程下二次谐波与 f_{OUT} 的关系
(2倍插值, $f_{DATA} = 400$ MSPS, $f_{SC} = 20$ mA)

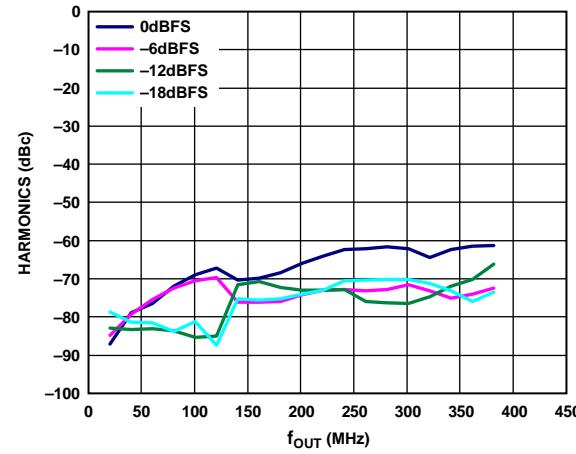


图8. 不同数字量程下三次谐波与 f_{OUT} 的关系
(2倍插值, $f_{DATA} = 400$ MSPS, $f_{SC} = 20$ mA)

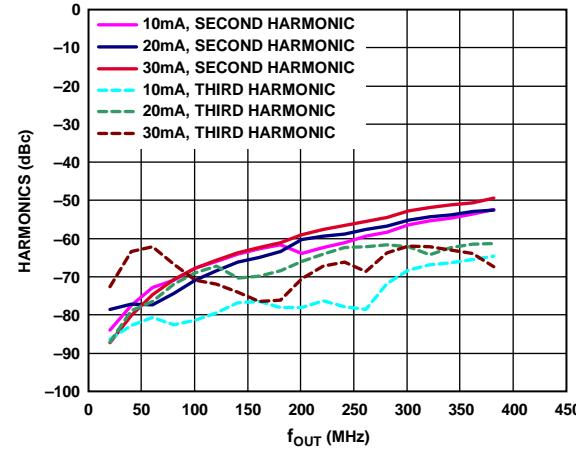


图9. 不同 f_{SC} 下二次谐波与 f_{OUT} 的关系
(2倍插值, $f_{DATA} = 400$ MSPS, 数字量程 = 0 dBFS)

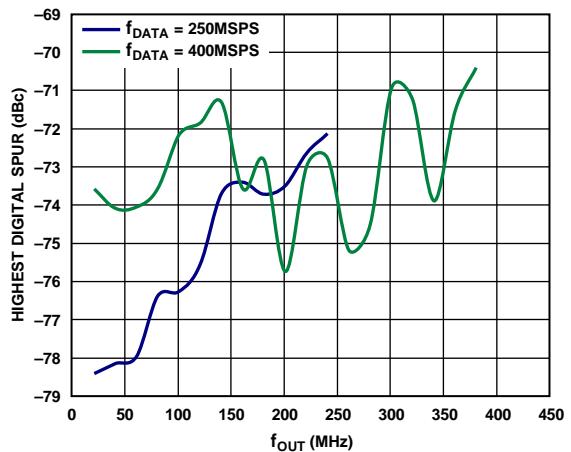


图10. 不同 f_{DATA} 下最高数字杂散与 f_{OUT} 的关系
(2倍插值, 数字量程 = 0 dBFS, $f_{SC} = 20$ mA)

08281-107

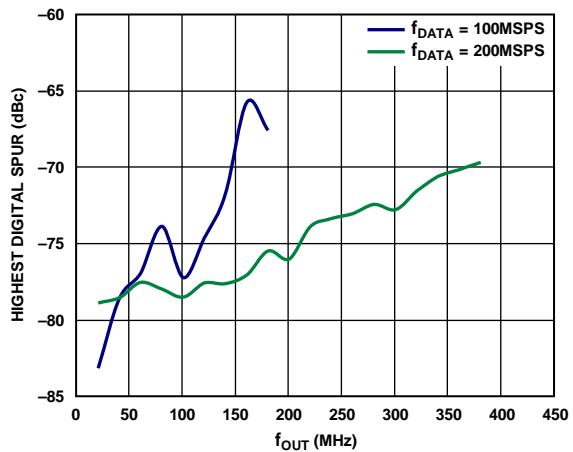


图11. 不同 f_{DATA} 下最高数字杂散与 f_{OUT} 的关系
(4倍插值, 数字量程 = 0 dBFS, $f_{SC} = 20$ mA)

08281-108

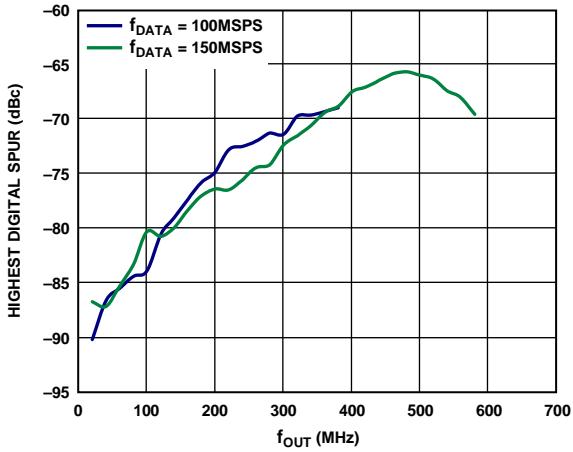
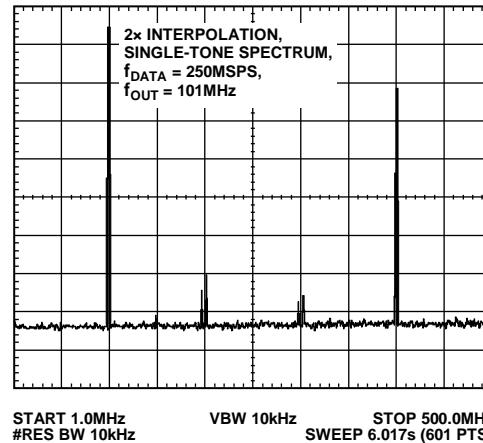


图12. 不同 f_{DATA} 下最高数字杂散与 f_{OUT} 的关系
(8倍插值, 数字量程 = 0 dBFS, $f_{SC} = 20$ mA)

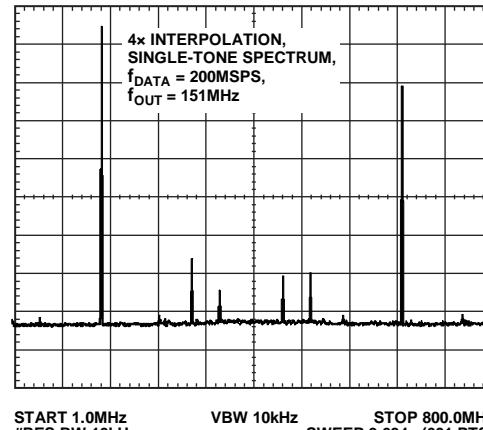
08281-109



START 1.0MHz VBW 10kHz STOP 500.0MHz SWEEP 6.017s (601 PTS)

08281-110

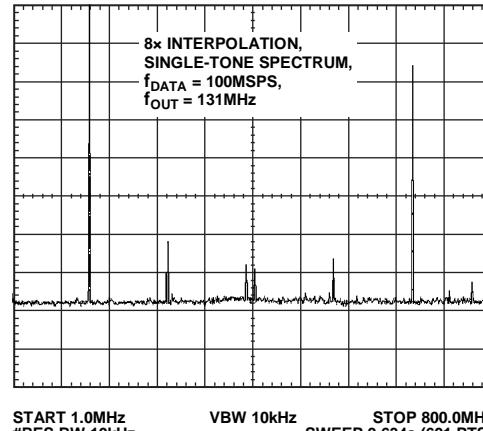
图13. 2倍插值单音频谱
(f_{DATA} = 250 MSPS, f_{OUT} = 101 MHz)



START 1.0MHz VBW 10kHz STOP 800.0MHz SWEEP 9.634s (601 PTS)

08281-111

图14. 4倍插值单音频谱
(f_{DATA} = 200 MSPS, f_{OUT} = 151 MHz)



START 1.0MHz VBW 10kHz STOP 800.0MHz SWEEP 9.634s (601 PTS)

08281-112

图15. 8倍插值单音频谱
(f_{DATA} = 100 MSPS, f_{OUT} = 131 MHz)

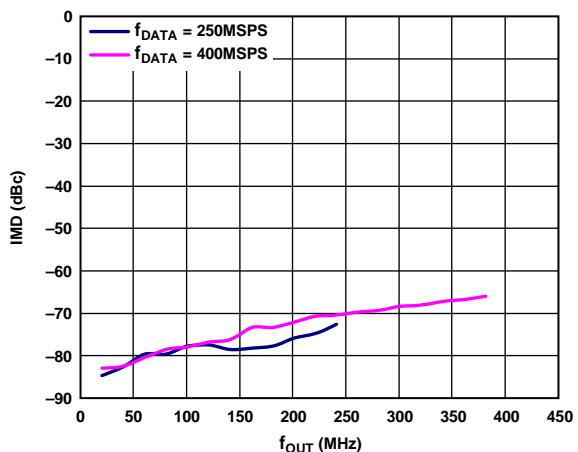


图16. 不同 f_{DATA} 下IMD与 f_{OUT} 的关系
(2倍插值, 数字量程 = 0 dBFS, $f_{sc} = 20$ mA)

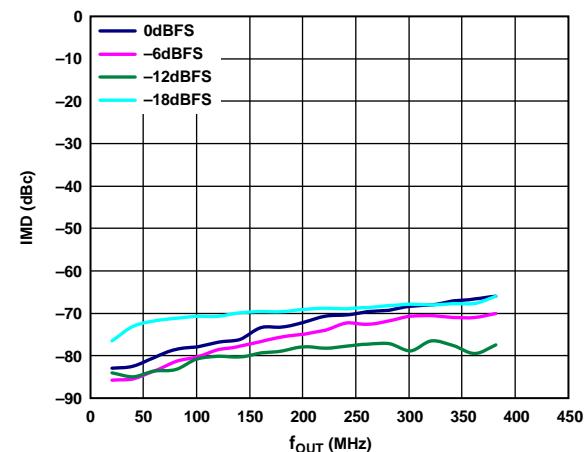


图19. 不同数字量程下IMD与 f_{OUT} 的关系
(2倍插值, $f_{DATA} = 400$ MSPS, $f_{sc} = 20$ mA)

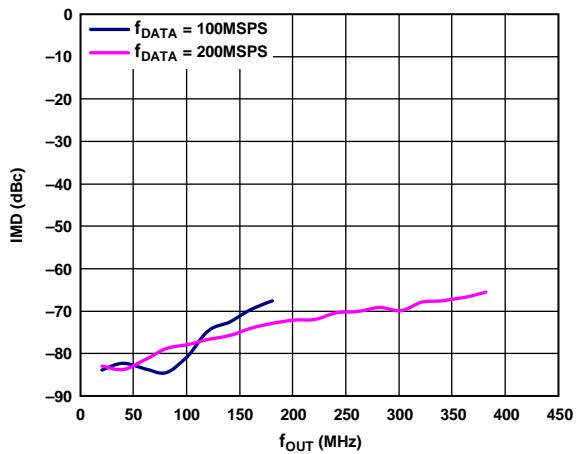


图17. 不同 f_{DATA} 下IMD与 f_{OUT} 的关系
(4倍插值, 数字量程 = 0 dBFS, $f_{sc} = 20$ mA)

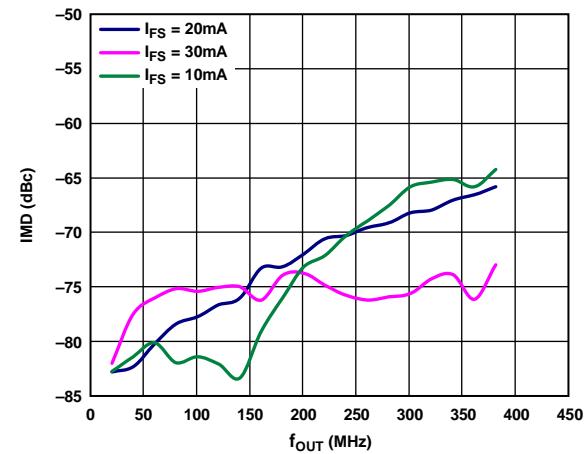


图20. 不同 f_{sc} 下IMD与 f_{OUT} 的关系
(2倍插值, $f_{DATA} = 400$ MSPS, 数字量程 = 0 dBFS)

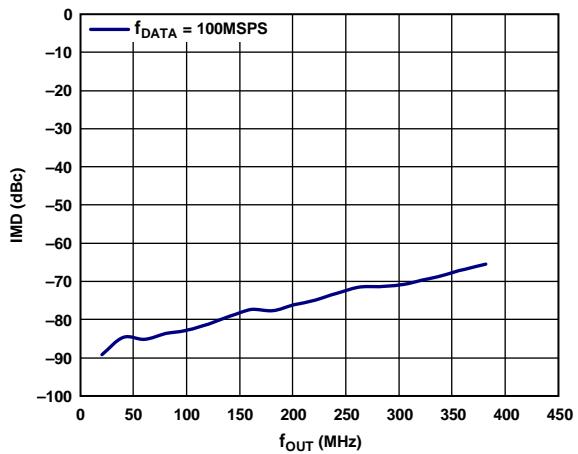


图18. 不同 f_{DATA} 下IMD与 f_{OUT} 的关系
(8倍插值, 数字量程 = 0 dBFS, $f_{sc} = 20$ mA)

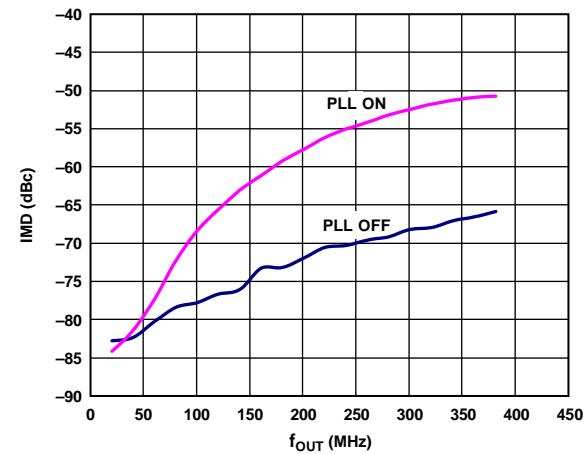


图21. PLL开启和关闭两种情况下IMD与 f_{OUT} 的关系
(4倍插值, $f_{DATA} = 200$ MSPS, 数字量程 = 0 dBFS, $f_{sc} = 20$ mA)

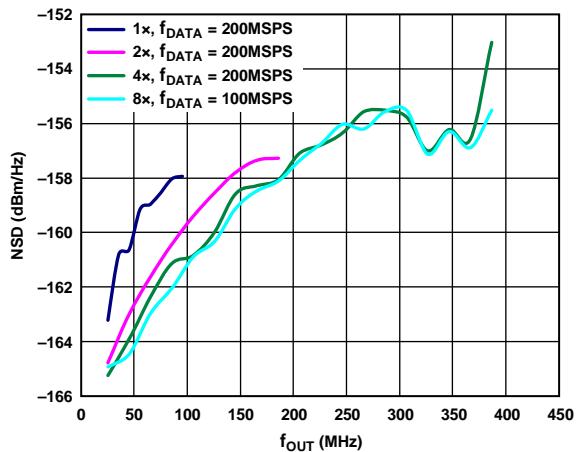


图22. 不同插值速率下单音NSD与 f_{OUT} 的关系
(数字量程 = 0 dBFS, $f_{\text{sc}} = 20 \text{ mA}$, PLL关闭)

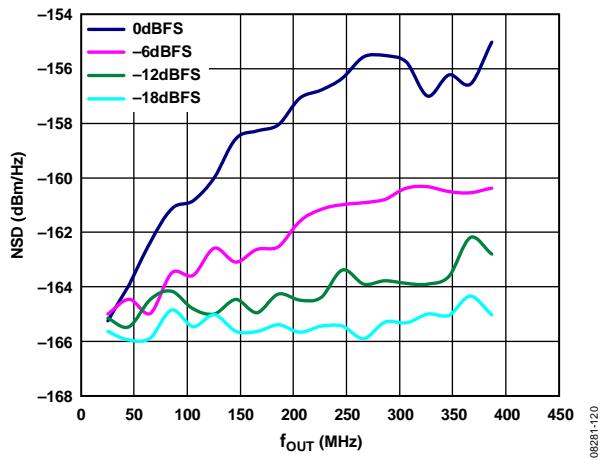


图23. 不同数字量程下单音NSD与 f_{OUT} 的关系
($f_{\text{DATA}} = 200 \text{ MSPS}$, 4倍插值, $f_{\text{sc}} = 20 \text{ mA}$, PLL关闭)

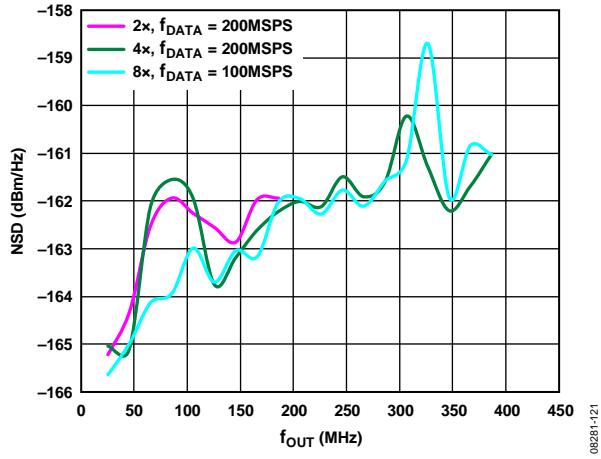


图24. 不同插值速率下单音NSD与 f_{OUT} 的关系
(数字量程 = 0 dBFS, $f_{\text{sc}} = 20 \text{ mA}$, PLL开启)

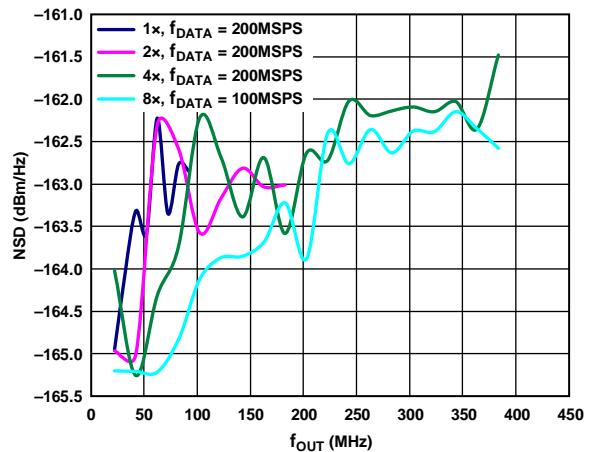


图25. 不同插值速率下八音NSD与 f_{OUT} 的关系
(数字量程 = 0 dBFS, $f_{\text{sc}} = 20 \text{ mA}$, PLL关闭)

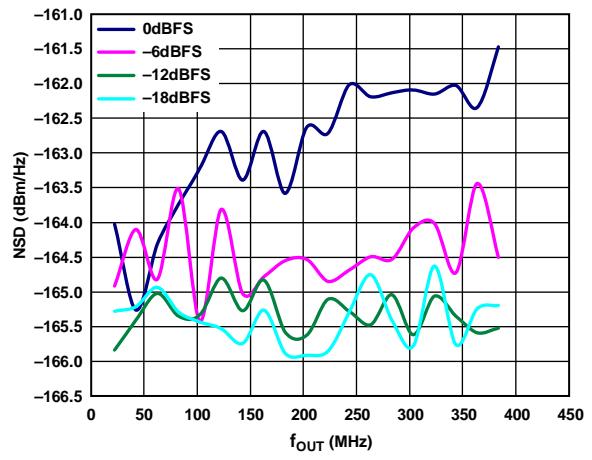


图26. 不同数字量程下八音NSD与 f_{OUT} 的关系
($f_{\text{DATA}} = 200 \text{ MSPS}$, 4倍插值, $f_{\text{sc}} = 20 \text{ mA}$, PLL关闭)

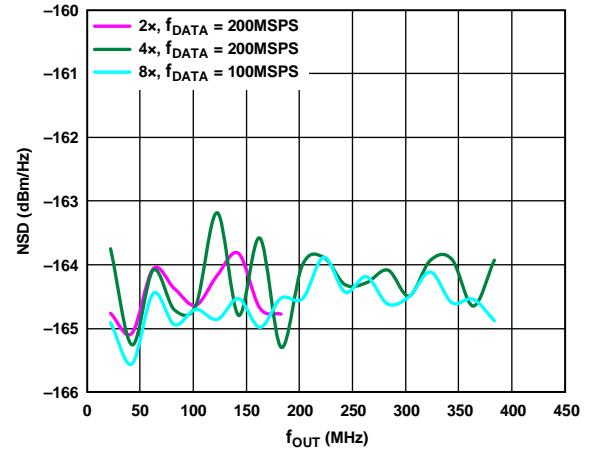


图27. 不同插值速率下八音NSD与 f_{OUT} 的关系
(数字量程 = 0 dBFS, $f_{\text{sc}} = 20 \text{ mA}$, PLL开启)

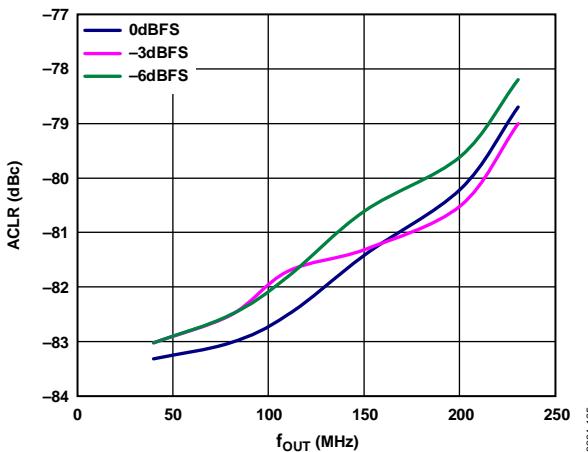


图28. 不同数字量程下单载波W-CDMA ACLR与 f_{OUT} 的关系
(相邻信道, PLL关闭)

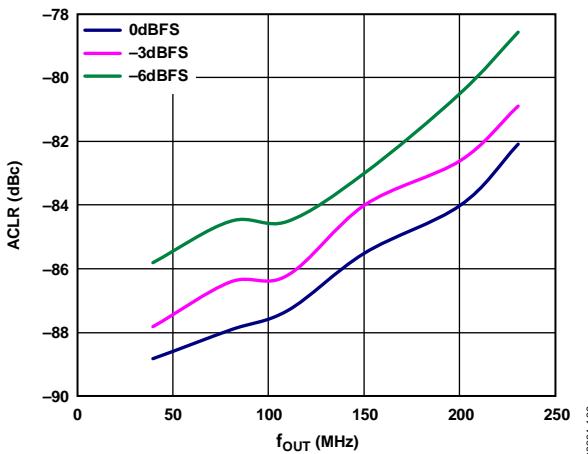


图29. 不同 f_{DAC} 下单载波W-CDMA ACLR与 f_{OUT} 的关系
(相邻信道, PLL关闭)

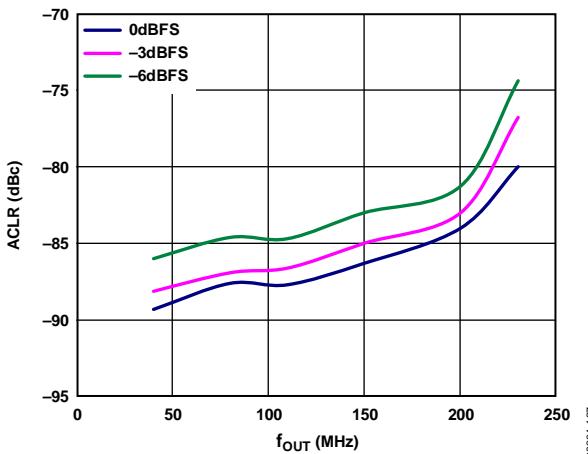


图30. 不同 f_{DAC} 下单载波W-CDMA ACLR与 f_{OUT} 的关系
(第二相邻信道, PLL关闭)

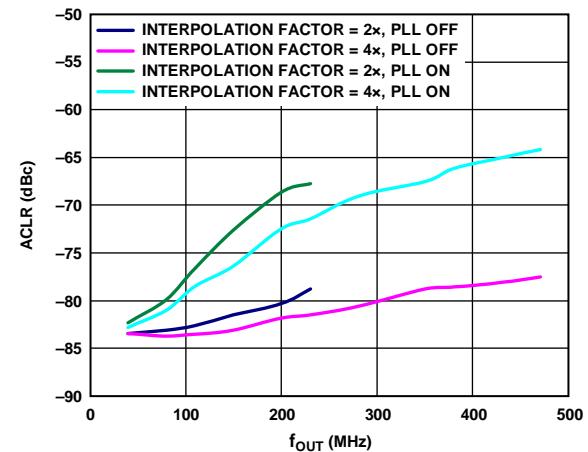


图31. PLL开启和关闭两种情况下单载波W-CDMA ACLR与 f_{OUT} 的关系(相邻信道)

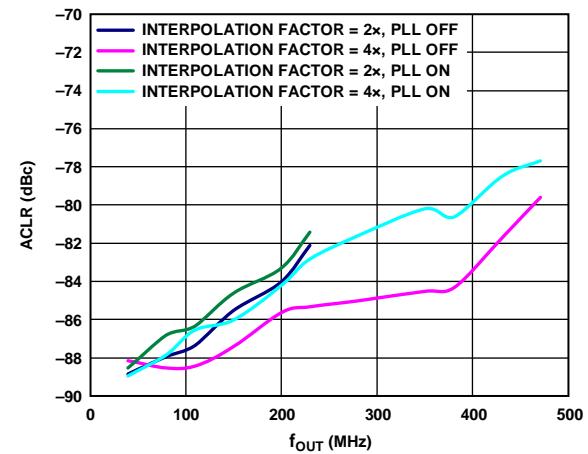


图32. PLL开启和关闭两种情况下单载波W-CDMA ACLR与 f_{OUT} 的关系(第二相邻信道)

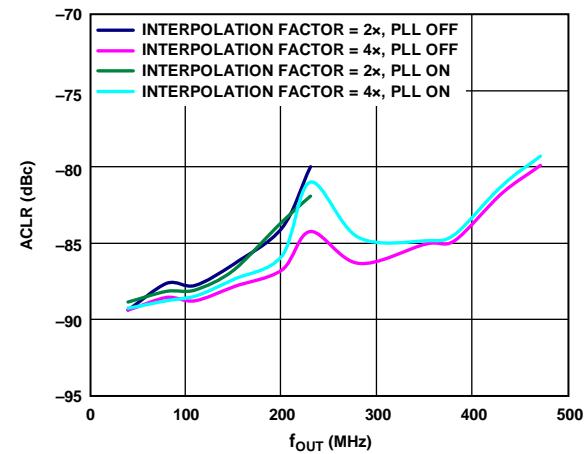
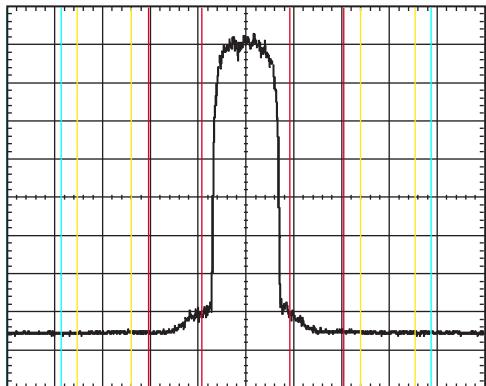


图33. PLL开启和关闭两种情况下单载波W-CDMA ACLR与 f_{OUT} 的关系(第二相邻信道)

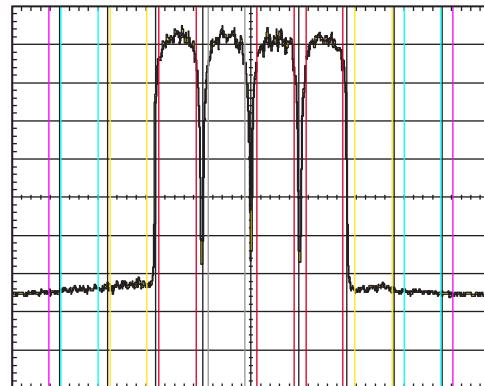


START 133.06MHz VBW 30kHz STOP 166.94MHz
 #RES BW 30kHz SWEEP 143.6ms (601 PTS)

RMS RESULTS	FREQ	LOWER	UPPER			
	OFFSET	REF BW	dBc	dBm	dBc	dBm
CARRIER POWER	5.00MHz	3.840MHz	-75.96	-85.96	-77.13	-87.13
-10.00dBm/	10.00MHz	3.840MHz	-85.33	-95.33	-85.24	-95.25
3.840MHz	15.00MHz	2.888MHz	-95.81	-95.81	-85.43	-95.43

08281-131

图34. 四载波W-CDMA ACLR性能(IF = ~150 MHz)



START 125.88MHz VBW 30kHz STOP 174.42MHz
 #RES BW 30kHz SWEEP 206.9ms (601 PTS)

TOTAL CARRIER POWER -11.19dBm/15.3600MHz
 RRC FILTER: OFF FILTER ALPHA 0.22
 REF CARRIER POWER -16.89dBm/3.84000MHz

	OFFSET	FREQ	INTEG BW	LOWER	UPPER		
				dBc	dBm	dBc	dBm
1	-16.92dBm	5.000MHz	3.840MHz	-65.88	-82.76	-67.52	-84.40
2	-16.89dBm	10.00MHz	3.840MHz	-68.17	-85.05	-69.91	-86.79
3	-17.43dBm	15.00MHz	3.840MHz	-70.42	-87.31	-71.40	-88.28
4	-17.64dBm						

08281-132

图35. 单载波W-CDMA ACLR性能(IF = ~150 MHz)

术语

积分非线性(INL)

INL指实际模拟输出与理想输出的最大偏差，理想输出由从零电平到满量程所画的直线确定。

微分非线性(DNL)

DNL用于衡量数字输入代码改变1 LSB时模拟值(用满量程归一化)的变化。

失调误差

失调误差指输出电流与理想0值的偏差。对于IOUT1P，当所有输入均置0时，预期输出为0 mA。对于IOUT1N，当所有输入均置1时，预期输出为0 mA。

增益误差

增益误差指实际输出范围与理想输出范围的差异。所有输入均置1时的输出与所有输入均置0时的输出之差即为实际范围。

输出顺从电压范围

输出顺从电压范围指电流输出DAC输出端的容许电压范围。超出最大限值工作可能会引起输出级饱和或击穿，导致非线性性能。

温度漂移

温度漂移衡量环境温度(25°C)值与TMIN或TMAX值之间的最大变化范围。失调和增益漂移用每摄氏度(°C)满量程范围(FSR)的ppm表示；基准电压漂移用每摄氏度ppm表示(ppm/°C)。

电源抑制(PSR)

PSR衡量电源从最小额定电压变为最大额定电压时满量程输出的最大变化。

建立时间

建立时间指输出达到并保持在以最终值为中心的规定误差范围内所需的时间，从输出转换开始时测量。

无杂散动态范围(SFDR)

SFDR指DC至DAC奈奎斯特频率范围内输出信号与杂散信号的峰值幅度之差，用dB表示。此频段内的能量一般会被插值滤波器抑制。因此，该特性衡量的是插值滤波器的工作性能以及其它寄生耦合路径对DAC输出的影响。

信噪比(SNR)

SNR指实测输出信号的均方根值与奈奎斯特频率以下除前六次谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

插值滤波器

如果以fDATA的倍率(插值速率)对DAC的数字输入进行采样，可以构建一个在fDATA/2附近具有陡峭过渡带的数字滤波器，这样就能大大抑制通常出现在fDAC(输出数据速率)附近的镜像。

邻道泄漏比(ACLR)

一个信道相对于其相邻信道的测量功率之比，用相对于载波的分贝数(dBc)表示。

复数镜像抑制

在传统的两部分上变频中，第二IF频率附近会创建两个镜像。这些镜像会浪费发射机功率和系统带宽。如果将第二复数调制器的实部与第一复数调制器串联，就能抑制第二IF附近的上方或下方频率镜像。

AD9122R1与AD9122R2的区别

AD9122在2010年初进行了芯片升级，芯片版本从R1变为R2。这两个版本之间的区别如下：

- IOVDD电源电压范围。

对于AD9122R1，IOVDD的有效工作范围是1.8 V至2.5 V \pm 10%。对于AD9122R2，有效工作电压范围是1.8 V至3.3 V \pm 10%。

- 杂散水平变化幅度减小。

AD9122R1每次启动时 $f_{DATA} \pm f_{OUT}$ 杂散存在变化，而AD9122R2则具有一致并且更低的 $f_{DATA} \pm f_{OUT}$ 杂散水平。(如果使能PLL，则AD9122R2两次周期供电之间仍有大约5 dB的杂散水平变化。)

- 增加了DCI延迟特性。

AD9122R2提供可编程的DCI信号延迟。共有四个可编程延迟选项。00设置提供最小延迟，此时的时序与AD9122R1相同。可以增加额外的延迟，这可能会改善某些系统的时序余量。相关时序选项如表14所示。

- 掉电模式功耗增加。

R1器件的最大掉电模式功耗为9.8mW，R2器件则增加到18.8 mW。

- 配置寄存器映射发生改变。

寄存器0x0B的位5：

AD9122R1 \rightarrow 使能VCO

AD9122R2 \rightarrow 无效位。VCO现在随着PLL使能而使能。

寄存器0x16的位[1:0]：

AD9122R1 \rightarrow 不用

AD9122R2 \rightarrow 这些位控制DCI信号的延迟。00 = 最短延迟；11 = 最长延迟。

寄存器0x7F的位[5:2]：

AD9122R1 \rightarrow 版本ID = 0x1

AD9122R2 \rightarrow 版本ID = 0x2

AD9122 R1和AD9122 R2的器件标识

R1器件的标识如图36所示。所有R1器件的日期代码都早于#1021。

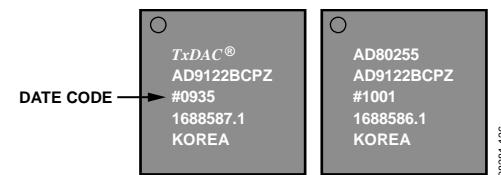


图36. AD9122 R1标识

R2器件的标识如图37所示。所有R2器件的日期代码都等于或晚于#1021。

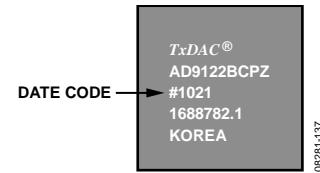


图37. R2芯片AD9122BCPZ标识

工作原理

AD9122集成了许多特性，是用于有线和无线通信系统的理想DAC。设计单边带发射机时，其双数字信号路径和双DAC结构很容易与通用正交调制器接口。与以前的DAC相比，AD9122的速度和性能支持更宽的带宽以及更多载波合成。此外，这类器件内置一个创新的低功耗32位复数NCO，可以大大简化频率设置。

AD9122提供了能够简化与输入数据同步和多器件同步的特性。片内还集成了辅助DAC，用于输出直流失调补偿(针对SSB发射机中的LO补偿)和增益匹配(针对SSB发射机中的镜像抑制优化)。

串行端口操作

串行端口是一种灵活的同步串行通信端口，可以很方便地与多种工业标准微控制器和微处理器接口。该串行I/O兼容大多数同步传输格式，包括Motorola SPI®和Intel® SSR协议。此接口可进行读/写操作，访问AD9122的所有配置寄存器。它支持单字节和多字节传输，以及MSB优先和LSB优先传输格式。该串行接口端口可以配置为单引脚I/O (SDIO)，或者配置为两个单向输入/输出引脚 (SDIO/SDO)。

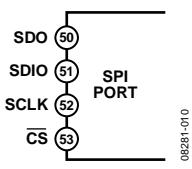


图38. 串行端口接口引脚

AD9122的通信周期可分为两个阶段。第一阶段是指令周期(将指令字节写入器件)，与前八个SCLK上升沿同步。指令字节向串行端口控制器提供有关数据传输周期(即通信周期第二阶段)的信息，明确即将发生的数据传输是读操作还是写操作，以及数据传输中第一个字节的起始寄存器地址。各通信周期的前八个SCLK上升沿用于将指令字节写入器件。

当 \overline{CS} 引脚由逻辑高电平变为逻辑低电平时，串行端口时序复位到指令周期的初始状态。从此状态开始的八个SCLK上升沿代表当前I/O操作的指令位。

其余SCLK边沿用于通信周期的第二阶段。第二阶段是器件与系统控制器之间发生实际数据传输的阶段。通信周期第二阶段可以传输一个或多个数据字节。写入各传输字节的最后一位时，寄存器立即改变，但频率调谐字和NCO相位偏移除外，这些寄存器仅在频率更新位(寄存器0x36的位0)置1时改变。

数据格式

指令字节包含的信息如表9所示

表9. 串行端口指令字节

I7 (MSB)	I6	I5	I4	I3	I2	I1	I0 (LSB)
R/W	A6	A5	A4	A3	A2	A1	A0

R/W—指令字节位7决定指令字节写周期结束后是进行读操作还是写操作。逻辑1表示读操作，而逻辑0表示写操作。

A6至A0—指令字节的位6至位0决定通信周期数据传输阶段要访问的寄存器。对于多字节传输，A6是起始字节地址。其余寄存器地址由器件根据LSB_FIRST位(寄存器0x00的位6)产生。

串行端口引脚功能描述

串行时钟(SCLK)

串行时钟引脚用于同步输入/输出器件的数据，并运行内部状态机。SCLK的最大频率为40 MHz。所有数据输入记录在SCLK的上升沿。所有数据都在SCLK的下降沿输出。

片选(\overline{CS})

它是一个低电平有效输入，用于启动并选通一个通信周期。它支持多个器件使用相同的串行通信线路。当此输入为高电平时，SDO和SDIO引脚进入高阻态。在通信周期中，片选引脚应保持低电平。

串行数据I/O (SDIO)

向器件写入数据必须通过此引脚进行。不过，此引脚可以用作双向数据线路。此引脚的配置由寄存器0x00的位7控制。默认为逻辑0，即将SDIO引脚配置为单向数据线路。

串行数据输出(SDO)

如果协议选择用不同的线路来发送和接收数据，那么数据是从该引脚读出的。当器件以单独的双向I/O模式运行时，此引脚不会输出数据，并设置为高阻态。

串行端口选项

该串行端口支持MSB优先和LSB优先两种数据格式。此功能由LSB_FIRST(寄存器0x00的位6)控制。默认是MSB优先(LSB_FIRST = 0)。

当LSB_FIRST = 0(MSB优先)时, 指令和数据位必须按照从MSB到LSB的顺序写入。采用MSB优先格式的多字节数据传输由一个包括最高有效数据字节寄存器地址的指令字节开始。后续数据字节应按照从高位地址到低位地址的顺序传输。在MSB优先模式下, 多字节通信周期每传输一个数据字节, 串行端口的内部字节地址产生器便递减1。

当LSB_FIRST = 1(LSB优先)时, 指令和数据位必须按照从LSB到MSB的顺序写入。采用LSB优先格式的多字节数据传输由一个包括最低有效数据字节寄存器地址的指令字节开始, 其后是多个数据字节。多字节通信周期每传输一个字节, 串行端口的内部字节地址产生器便递增1。

如果MSB优先模式有效, 串行端口控制器的数据地址将从写入0x00以进行多字节I/O操作的数据地址开始递减。如果LSB优先模式有效, 串行端口控制器的地址将从写入0x7F以进行多字节I/O操作的数据地址开始递增。

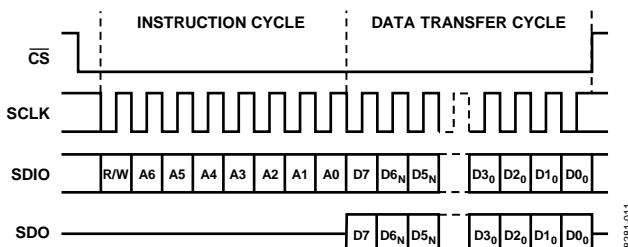


图39. 串行寄存器接口时序(MSB优先)

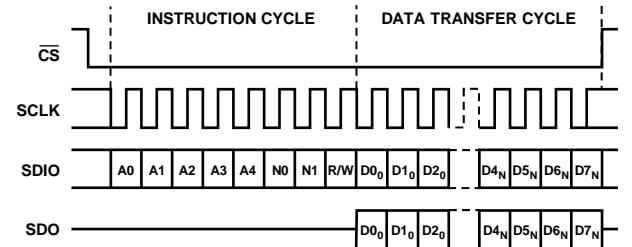


图40. 串行寄存器接口时序(LSB优先)

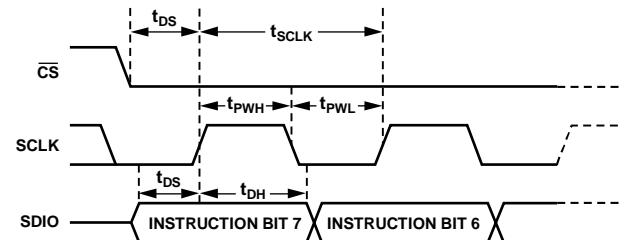


图41. 串行端口寄存器写操作时序图

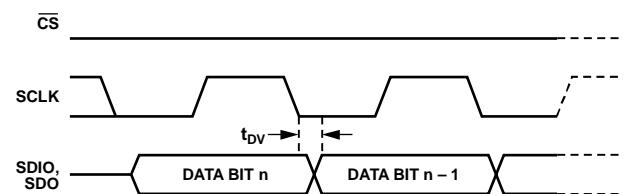


图42. 串行端口寄存器读操作时序图

器件配置寄存器映射和描述

表10. 器件配置寄存器映射

寄存器名称	地址(十六进制)	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值		
通信	0x00	SDIO	LSB_FIRST	复位						0x00		
功耗控制	0x01	DAC I掉电	DAC Q掉电	数据接收机掉电	辅助ADC掉电				PLL锁定状态	0x10		
数据格式	0x03	二进制数据格式	Q数据优先	MSB交换					数据总线宽度[1:0]	0x00		
中断使能	0x04	使能PLL失锁	使能PLL锁定	使能同步信号丢失	使能同步信号锁定	使能同步相位锁定	使能软FIFO同步	使能FIFO警告1	使能FIFO警告2	0x00		
中断使能	0x05	0	0	0	使能AED比较通过	使能AED比较失败	使能SED比较失败	0	0	0x00		
事件标志	0x06	PLL失锁	PLL锁定	同步信号丢失	同步信号锁定	同步相位锁定	软FIFO同步	FIFO警告1	FIFO警告2	N/A		
事件标志	0x07				AED比较通过	AED比较失败	SED比较失败			N/A		
时钟接收机控制	0x08	DACCLK占空比校正	REFCLK占空比校正	DACCLK交叉校正	REFCLK交叉校正	1	1	1	1	0x3F		
PLL控制	0x0A	PLL使能	PLL手动使能	手动VCO频段[5:0]						0x40		
PLL控制	0x0B			PLL VCO使能						0x00		
PLL控制	0x0C	PLL环路带宽[1:0]			PLL电荷泵电流[4:0]					0xD1		
PLL控制	0x0D	N2[1:0]			PLL交叉控制使能	N0[1:0]		N1[1:0]		0xD9		
PLL状态	0x0E	PLL锁定				VCO控制电压[3:0]				0x00		
PLL状态	0x0F			VCO频段回读[5:0]						0x00		
同步控制	0x10	同步使能	数据/FIFO速率切换			上升沿同步	同步均值[2:0]			0x48		
同步控制	0x11			同步相位请求[5:0]						0x00		
同步状态	0x12	同步丢失	同步锁定							N/A		
同步状态	0x13	同步相位回读[7:0] (6.2格式)								N/A		
数据接收机状态	0x15			LVDS FRAME电平高	LVDS FRAME电平低	LVDS DCI电平高	LVDS DCI电平低	LVDS数据电平高	LVDS数据电平低	N/A		
DCI 延迟	0x16							DCI延迟[1:0]		0x00		
FIFO 控制	0x17						FIFO相位偏移[2:0]			0x04		

AD9122

寄存器名称	地址(十六进制)	位7	位6	位5	位4	位3	位2	位1	位0	默认值
FIFO状态	0x18	FIFO警告1	FIFO警告2				FIFO软对齐应答	FIFO软对齐请求	FIFO复位对齐	N/A
FIFO状态	0x19									N/A
数据路径控制	0x1B	旁路预调制	旁路Sinc ⁻¹	旁路NCO		NCO增益	旁路相位比较和直流失调	选择边带	I数据发送到Q数据	0xE4
HB1控制	0x1C							HB1[1:0]	旁路HB1	0x00
HB2控制	0x1D								旁路HB2	0x00
HB3控制	0x1E								旁路HB3	0x00
芯片ID	0x1F									0x08
FTW LSB	0x30									0x00
FTW	0x31									0x00
FTW	0x32									0x00
FTW MSB	0x33									0x08
NCO相位偏移LSB	0x34									0x00
NCO相位偏移MSB	0x35									0x00
NCO FTW更新	0x36			帧FTW应答	帧FTW请求			更新FTW应答	更新FTW请求	0x00
I相位调整LSB	0x38									0x00
I相位调整MSB	0x39								I相位调整[9:8]	0x00
Q相位调整LSB	0x3A									0x00
Q相位调整MSB	0x3B								Q相位调整[9:8]	0x00
IDAC失调LSB	0x3C									0x00
IDAC失调MSB	0x3D									0x00
Q DAC失调LSB	0x3E									0x00
Q DAC失调MSB	0x3F									0x00
IDAC FS调整	0x40									0xF9
IDAC控制	0x41	IDAC休眠							IDAC FS调整[9:8]	0x01
辅助DAC I数据	0x42									0x00
I辅助DAC控制	0x43	I辅助DAC符号	I辅助DAC电流方向	I辅助DAC休眠					I辅助DAC[9:8]	0x00
Q DAC FS调整	0x44									0xF9
Q DAC控制	0x45	Q DAC休眠							Q DAC FS调整[9:8]	0x01
辅助DAC Q数据	0x46									0x00
Q辅助DAC控制	0x47	Q辅助DAC符号	Q辅助DAC电流方向	Q辅助DAC休眠					Q辅助DAC[9:8]	0x00
芯片温度范围	0x48				FS电流[2:0]				基准电流[2:0]	电容值
芯片温度LSB	0x49									N/A

寄存器名称	地址(十六进制)	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值
芯片温度MSB	0x4A	Die Temp[15:8]						N/A		
SED控制	0x67	SED compare enable		Sample error detected		Autoclear enable		Compare fail	Compare pass	0x00
比较I0 LSB	0x68	比较值I0[7:0]						0xB6		
比较I0 MSB	0x69	比较值I0[15:8]						0x7A		
比较Q0 LSB	0x6A	比较值Q0[7:0]						0x45		
比较Q0 MSB	0x6B	比较值Q0[15:8]						0xEA		
比较I1 LSB	0x6C	比较值I1[7:0]						0x16		
比较I1 MSB	0x6D	比较值I1[15:8]						0x1A		
比较Q1 LSB	0x6E	比较值Q1[7:0]						0xC6		
比较Q1 MSB	0x6F	比较值Q1[15:8]						0xAA		
SED I LSB	0x70	检测到错误I_BITS[7:0]						0x00		
SED I MSB	0x71	检测到错误I_BITS[15:8]						0x00		
SED Q LSB	0x72	检测到错误Q_BITS[7:0]						0x00		
SED Q MSB	0x73	检测到错误Q_BITS[15:8]						0x00		
版本	0x7F				版本[3:0]					N/A

表11. 器件配置寄存器描述

寄存器名称	地址(十六进制)	位	名称	描述	默认值
通信	00	7	SDIO	SDIO操作。 0 = SDIO仅用作输入。 1 = SDIO用作双向输入/输出。	0
		6	LSB_FIRST	串行端口通信是LSB优先还是MSB优先。 0 = MSB优先。 1 = LSB优先。	0
		5	复位	当向此位写入高电平并保持时，器件处于复位状态，直到写入低电平。	0
功耗控制	01	7	DAC I掉电	1 = DAC I掉电。	0
		6	DAC Q掉电	1 = DAC Q掉电。	0
		5	数据接收机掉电	1 = 输入数据接收机掉电。	0
		4	辅助ADC掉电	1 = 用于温度传感器的辅助ADC掉电。	0
		0	PLL锁定状态	1 = PLL锁定。	0

AD9122

寄存器名称	地址(十六进制)	位	名称	描述	默认值
数据格式	03	7	二进制数据格式	0 = 输入数据为二进制补码格式。 1 = 输入数据为二进制格式。	0
		6	Q数据优先	表示数据输入端的I/Q数据配对方式。 0 = I数据首先发送到数据接收机。 1 = Q数据首先发送到数据接收机。	0
		5	MSB交换	交换数据输入端口的位序。 0 = 数据位序与引脚描述一致。 1 = 交换位分配顺序，最高有效位(MSB)变为最低有效位(LSB)。	0
		1:0	数据总线宽度	数据接收机接口模式。 00 = 字模式；16位接口总线宽带。 01 = 字节模式；8位接口总线宽带。 10 = 半字节模式；4位接口总线宽带。 11 = 无效。 有关不同接口模式操作的详细信息，请参见“LVDS输入数据端口”部分。	0
中断使能	04	7	使能PLL失锁	1 = 使能PLL失锁中断。	0
		6	使能PLL锁定	1 = 使能PLL锁定中断。	0
		5	使能同步信号丢失	1 = 使能同步信号失锁中断。	0
		4	使能同步信号锁定	1 = 使能同步信号锁定中断。	0
		3	使能同步相位锁定	1 = 使能时钟产生就绪中断。	0
		2	使能软FIFO同步	1 = 使能FIFO软复位中断。	0
		1	使能FIFO警告1	1 = 使能FIFO警告1中断。	0
		0	使能FIFO警告2	1 = 使能FIFO警告2中断。	0
中断使能	05	7	置0	此位置0。	0
		6	置0	此位置0。	0
		5	置0	此位置0。	0
		4	使能AED比较通过	1 = 使能AED比较通过中断。	0
		3	使能AED比较失败	1 = 使能AED比较失败中断。	0
		2	使能SED比较失败	1 = 使能SED比较失败中断。	0
		1	置0	此位置0。	0
		0	置0	此位置0。	0

寄存器名称	地址(十六进制)	位	名称	描述	默认值
事件标志	06	7	PLL失锁	1=表示先前锁定的PLL已从参考信号解锁。这是一个锁存信号。	0
		6	PLL锁定	表示PLL已锁定至参考时钟输入。	0
		5	同步信号丢失	1=表示先前锁定的同步逻辑已不再对齐。这是一个锁存信号。	0
		4	同步信号锁定	1=表示内部数字时钟产生逻辑已就绪。当内部时钟存在并保持稳定时，就会提供该指示。	0
		3	同步相位锁定	1=表示源自串行端口请求的FIFO复位已成功完成。这是一个锁存信号。	0
		2	软FIFO同步	1=表示源自串行端口请求的FIFO复位已成功完成。这是一个锁存信号。	0
		1	FIFO警告1	1=表示FIFO读写指针差为1。	0
		0	FIFO警告2	1=表示FIFO读写指针差为2。	0
		注意，所有事件标志的清零方式是向相应的位写入高电平。			
事件标志	07	4	AED比较通过	1=表示与预编程的预期值相比较，SED逻辑检测到有效的输入数据码。这是一个锁存信号。	0
		3	AED比较失败	1=表示与预编程的预期值相比较，SED逻辑检测到无效的输入数据码。这是一个锁存信号，在收到八对有效I/Q数据时自动清零。	0
		2	SED比较失败	1=表示与预编程的预期值相比较，SED逻辑检测到无效的输入数据码。这是一个锁存信号。	
		注意，所有事件标志的清零方式是向相应的位写入高电平。			
时钟接收机控制	08	7	DACCLK占空比校正	1=对DACCLK输入使能占空比校正。	0
		6	REFCLK占空比校正	1=对REFCLK输入使能占空比校正。	0
		5	DACCLK交叉校正	1=对CLK输入使能差分交叉校正。	0
		4	REFCLK交叉校正	1=对REFCLK输入使能差分交叉校正。	0
PLL控制	0A	7	PLL使能	1=使能PLL时钟乘法器。REFCLK输入用作PLL参考时钟信号。	0
		6	PLL手动使能	使能手动选择VCO频段。1=手动模式；用户必须确定正确的VCO频段。	1
		5:0	手动VCO频段	选择要使用的VCO频段。	0
PLL控制	0B	5	PLL VCO使能	此位仅对R1器件有效，而对R2器件无效。0=禁用PLL VCO。1=使能PLL VCO。应在使能PLL之前将此位设置为高电平。	0

AD9122

寄存器名称	地址(十六进制)	位	名称	描述	默认值
PLL控制	0C	7:6	PLL环路带宽[1:0]	选择PLL环路滤波器带宽。 00 = 最窄带宽。 01 = 窄/中等带宽。 10 = 中等/宽带宽。 11 = 最宽带宽。	3
		4:0	PLL电荷泵电流[4:0]	设置标称PLL电荷泵电流。 00000 = 最低电流设置。 11111 = 最高电流设置。	10001
PLL控制	0D	7:6	N2[1:0]	PLL控制时钟分频器。它决定DACCLK速率与PLL控制器时钟速率之比。 $00 = f_{DACCLK}/f_{PC_CLK} = 2$ 。 $01 = f_{DACCLK}/f_{PC_CLK} = 4$ 。 $10 = f_{DACCLK}/f_{PC_CLK} = 8$ 。 $11 = f_{DACCLK}/f_{PC_CLK} = 16$ 。 f_{PC_CLK} 必须始终低于75 MHz。	3
		4	PLL交叉控制使能	使能PLL交叉点控制器。	0
		3:2	N0[1:0]	PLL VCO分频器。它决定VCO输出与DACCLK频率之比。 $00 = f_{VCO}/f_{DACCLK} = 1$ 。 $01 = f_{VCO}/f_{DACCLK} = 2$ 。 $10 = f_{VCO}/f_{DACCLK} = 4$ 。 $11 = f_{VCO}/f_{DACCLK} = 4$ 。	01
		1:0	N1[1:0]	PLL环路分频器。它决定DACCLK与REFCLK频率之比。 $00 = f_{DACCLK}/f_{REFCLK} = 2$ 。 $01 = f_{DACCLK}/f_{REFCLK} = 4$ 。 $10 = f_{DACCLK}/f_{REFCLK} = 8$ 。 $11 = f_{DACCLK}/f_{REFCLK} = 16$ 。	01
PLL状态	0E	7	PLL锁定	PLL产生的时钟与REFCLK输入信号保持一致。	R
		3:0	VCO控制电压[3:0]	VCO控制电压回读。参见表25。	R
PLL状态	0F	5:0	VCO频段回读[5:0]	表示当前选定的VCO频段。	R
同步控制	10	7	同步使能	1 = 使能同步逻辑。	0
		6	数据/FIFO速率切换	0 = 同步以FIFO复位速率工作。 1 = 同步以数据速率工作。	0
		3	上升沿同步	0 = 在同步输入的下降沿启动同步。 1 = 在同步输入的上升沿启动同步。	1
		2:0	同步均值[2:0]	设置确定同步相位时用于求平均的输入采样数。 000 = 1。 001 = 2。 010 = 4。 011 = 8。 100 = 16。 101 = 32。 110 = 64。 111 = 128。	0

寄存器名称	地址(十六进制)	位	名称	描述	默认值
同步控制	11	5:0	同步相位请求[5:0]	设置同步后请求的时钟相位偏移。偏移单位为DACCLK周期。 000000 = 0个DACCLK周期。 000001 = 1个DACCLK周期。 ... 111111 = 63个DACCLK周期。 这可以使DAC输出相对于同步输入重新定位。 偏移也可以用来在同步DAC之间偏斜DAC输出。	0
同步状态	12	7	同步丢失	1 = 表示先前已实现同步，但现已丢失。	R
		6	同步锁定	1 = 表示已实现同步。	R
同步状态	13	7:0	同步相位回读[7:0]	表示同步相位偏移均值(6.2格式)。 00000000 = 0.0。 00000001 = 0.25。 ... 11111110 = 63.50。 11111111 = 63.75。 如果此值与请求的同步相位值不同，则说明存在同步时序误差。	R
数据接收机状态	15	5	LVDS FRAME电平高	一个或两个LVDS FRAME输入信号超过1.7 V。	R
		4	LVDS FRAME电平低	一个或两个LVDS FRAME输入信号降至0.7 V以下。	R
		3	LVDS DCI电平高	一个或两个LVDS DCI输入信号超过1.7 V。	R
		2	LVDS DCI电平低	一个或两个LVDS DCI输入信号降至0.7 V以下。	R
		1	LVDS数据电平高	一个或多个LVDS Dx输入信号超过1.7 V。	R
DCI延迟	16	1:0	DCI延迟[1:0]	此选项仅适用于R2器件。DCI延迟位控制对DCI信号施加的延迟。	0
				它会影响DCI相对于DATA输入的采样间隔。详情参见表14。 00: DCI信号延迟350 pS。 01: DCI信号延迟590 pS。 10: DCI信号延迟800 pS。 11: DCI信号延迟925 pS。	
FIFO控制	17	2:0	FIFO相位偏移[2:0]	FIFO复位后的FIFO写指针相位偏移。 000 = 0。 001 = 1。 ... 111 = 7。 它是FIFO复位后读指针与写指针值之差。 最佳值一般为4。	0
FIFO状态	18	7	FIFO警告1	FIFO读写指针在±1范围内。	0
		6	FIFO警告2	FIFO读写指针在±2范围内。	0
		2	FIFO软对齐应答	在串行端口启动的FIFO复位之后，FIFO读写指针对齐。	
		1	FIFO软对齐请求	通过串行端口请求FIFO读写指针对齐。	0
		0	FIFO复位对齐	硬件复位后FIFO读写指针对齐。	0

AD9122

寄存器名称	地址(十六进制)	位	名称	描述	默认值
FIFO状态	19	7:0	FIFO水平[7:0]	FIFO水平的温度计编码测量结果。	0
数据路径控制	1B	7	旁路预调制	1 = 旁路 $f_s/2$ 预调制器。	1
		6	旁路Sinc-1	1 = 旁路反Sinc滤波器。	1
		5	旁路NCO	1 = 旁路NCO。	1
		3	NCO增益	0 = 默认值。对内部数字调制器的NCO输入不应用任何增益调整。 1 = 对内部数字调制器的NCO输入应用0.5的增益调整。 对于数据输入与NCO信号的某些组合， 这可以避免调制器输出饱和。	0
		2	旁路相位比较和直流失调	1 = 旁路相位补偿。	1
		1	选择边带	0 = 调制器输出高端镜像。 1 = 调制器输出低端镜像。与输入数据相比，镜像频谱反转。	0
		0	I数据发送到Q数据	I数据发送到Q数据	0
HB1控制	1C	2:1	HB1[1:0]	00 = 不调制输入信号，滤波器通带为 f_{IN1} 的-0.4至+0.4。 01 = 不调制输入信号，滤波器通带为 f_{IN1} 的0.1至0.9。 10 = 用 f_{IN1} 调制输入信号，滤波器通带为 f_{IN1} 的0.6至1.4。 11 = 用 f_{IN1} 调制输入信号，滤波器通带为 f_{IN1} 的1.1至1.9。	0
		0	旁路HB1	1 = 旁路第一级插值滤波器。	0
HB2控制	1D	6:1	HB2[5:0]	I端半带滤波器2的调制模式。 000000 = 不调制输入信号，滤波器通带为 f_{IN2} 的-0.25至+0.25。 001001 = 不调制输入信号，滤波器通带为 f_{IN2} 的0.0至0.5。 010010 = 不调制输入信号，滤波器通带为 f_{IN2} 的0.25至0.75。 011011 = 不调制输入信号，滤波器通带为 f_{IN2} 的0.5至1.0。 100100 = 用 f_{IN2} 调制输入信号，滤波器通带为 f_{IN2} 的0.75至1.25。 101101 = 用 f_{IN2} 调制输入信号，滤波器通带为 f_{IN2} 的1.0至1.5。 110110 = 用 f_{IN2} 调制输入信号，滤波器通带为 f_{IN2} 的1.25至1.75。 111111 = 用 f_{IN2} 调制输入信号，滤波器通带为 f_{IN2} 的1.5至2.0。	0
		0	旁路HB2	1 = 旁路第二级插值滤波器。	0

寄存器名称	地址(十六进制)	位	名称	描述	默认值
HB3控制	1E	6:1	HB3[5:0]	I端半带滤波器3的调制模式。 000000 = 不调制输入信号,滤波器通带为 f_{IN3} 的-0.2至+0.2。 001001 = 不调制输入信号,滤波器通带为 f_{IN3} 的0.05至0.45。 010010 = 不调制输入信号,滤波器通带为 f_{IN3} 的0.3至0.7。 011011 = 不调制输入信号,滤波器通带为 f_{IN3} 的0.55至0.95。 100100 = 用 f_{IN3} 调制输入信号,滤波器通带为 f_{IN3} 的0.8至1.2。 101101 = 用 f_{IN3} 调制输入信号,滤波器通带为 f_{IN3} 的1.05至1.45。 110110 = 用 f_{IN3} 调制输入信号,滤波器通带为 f_{IN3} 的1.3至1.7。 111111 = 用 f_{IN3} 调制输入信号,滤波器通带为 f_{IN3} 的1.55至1.95。	0
		0	旁路HB3	I = 旁路第三级插值滤波器。	0
芯片ID	1F	7:0	芯片ID[7:0]	此寄存器用于将器件标识为AD9122。	8
FTW LSB	30	7:0	FTW[7:0]	参见寄存器0x33。	0
FTW	31	7:0	FTW[15:8]	参见寄存器0x33。	0
FTW	32	7:0	FTW[23:16]	参见寄存器0x33。	0
FTW MSB	33	7:0	FTW[31:24]	FTW[31:0]是32位频率调谐字, 用于确定片内NCO产生的复载波频率。该频率不在写入FTW寄存器时更新, 而仅在寄存器0x36的位0从0变为1时更新。	0
NCO相位偏移LSB	34	7:0	NCO相位偏移[7:0]	参见寄存器0x35。	0
NCO相位偏移MSB	35	7:0	NCO相位偏移[15:8]	当NCO复位时, NCO设置复载波信号的相位。 相位偏移范围 为0°至360°。每一位代表0.0055°的偏移。 值为二进制补码格式。	0
NCO FTW更新	36	5	I帧FTW应答	I = 表示NCO已由于扩展FRAME脉冲信号而复位。	0
		4	I帧FTW请求	0 → 1 = NCO在此位从0变为1后的第一个扩展FRAME脉冲处复位。	0
		1	更新FTW应答	I = 表示FTW已更新。	0
		0	更新FTW请求	0 → 1 = FTW在此位从0变为1时更新。	0
I相位调整LSB	38	7:0	I相位调整[7:0]	参见寄存器0x39。	0
I相位调整MSB	39	1:0	I相位调整[9:8]	I相位调整[9:0]用于在I与Q数据路径之间插入一个相位偏移。 这可以用来校正正交调制器中的相位不平衡。 详情参见“正交相位校正”部分。	0
Q相位调整LSB	3A	7:0	Q相位调整[7:0]	参见寄存器0x3B。	0
Q相位调整MSB	3B	1:0	Q相位调整[9:8]	Q相位调整[9:0]用于在I与Q数据路径之间插入一个相位偏移。 这可以用来校正正交调制器中的相位不平衡。 详情参见“正交相位校正”部分。	0

AD9122

寄存器名称	地址(十六进制)	位	名称	描述	默认值
IDAC失调LSB	3C	7:0	IDAC失调[7:0]	IDAC失调[15:0]是在样本写入IDAC时直接增加到样本的值。	0
IDAC失调MSB	3D	7:0	IDAC失调[15:8]	参见寄存器0x3C。	0
Q DAC失调LSB	3E	7:0	Q DAC失调[7:0]	Q DAC失调[15:0]是在样本写入Q DAC时直接增加到样本的值。	0
Q DAC失调MSB	3F	7:0	Q DAC失调[15:8]	参见寄存器0x3E。	0
IDAC FS调整	40	7:0	IDAC FS调整[7:0]	IDAC FS调整[9:0]设置IDAC的满量程电流。 满量程电流的调整范围为8.64 mA至31.6 mA, 步长约为22.5 μ A。 0x000 = 8.64 mA。 ... 0x200 = 20.14 mA。 ... 0x3FF = 31.66 mA。	F9
辅助DAC I数据	41	7	IDAC休眠	1 = 将I通道DAC置于休眠模式(快速唤醒模式)。	0
		1:0	IDAC FS调整[9:8]	参见寄存器0x40。	1
IDAC控制	42	7:0	I辅助DAC[7:0]	I辅助DAC[9:0]设置辅助DAC电流的幅度。 范围为0 mA至2 mA, 步长为2 μ A。 0x000 = 0.000 mA。 0x001 = 0.002 mA。 ... 0x3FF = 2.046 mA。	0
辅助DAC I数据	43	7	I辅助DAC符号	0 = 辅助DAC I符号为正, 且电流流向IOUT1P引脚(引脚67)。 1 = 辅助DAC I符号为负, 且电流流向IOUT1N引脚(引脚66)。	0
		6	I辅助DAC电流方向	0 = 辅助DAC I流出电流。 1 = 辅助DAC I吸入电流。	0
		5	I辅助DAC休眠	I通道辅助DAC休眠。	0
		1:0	I辅助DAC[9:8]	参见寄存器0x42。	0
调LSB	44	7:0	Q DAC FS调整[7:0]	Q DAC FS调整[9:0]设置Q DAC的满量程电流。 满量程电流的调整范围为8.64 mA至31.6 mA, 步长约为22.5 μ A。 0x000 = 8.64 mA。 ... 0x200 = 20.14 mA。 ... 0x3FF = 31.66 mA。	F9
调LSB	45	7	Q DAC休眠	1 = 将Q通道DAC置于休眠模式(快速唤醒模式)。	0
		1:0	Q DAC FS调整[9:8]	参见寄存器0x44。	1

寄存器名称	地址(十六进制)	位	名称	描述	默认值
辅助DAC Q数据	46	7:0	Q辅助DAC[7:0]	Q辅助DAC[9:0]设置辅助DAC电流的幅度。 范围为0 mA至2 mA, 步长为2 μ A。 0x000 = 0.000 mA。 0x001 = 0.002 mA。 ... 0x3FF = 2.046 mA。	0
Q辅助DAC控制	47	7	Q辅助DAC符号	0 = 辅助DAC Q符号为正,且电流流向IOUT2P引脚(引脚58)。 1 = 辅助DAC Q符号为负,且电流流向IOUT2N引脚(引脚59)。	0
		6	Q辅助DAC电流方向	0 = 辅助DAC Q流出电流。 1 = 辅助DAC Q吸入电流。	0
		5	Q辅助DAC休眠	Q通道辅助DAC休眠。	0
		1:0	Q辅助DAC[9:8]	参见寄存器0x46。	0
芯片温度范围	0x48	6:4	FS电流[2:0]	辅助ADC满量程电流。 000 = 最低电流。 ... 111 = 最高电流。	0
		3:1	基准电流[2:0]	辅助ADC基准电流。 000 = 最低电流。 111 = 最高电流。	1
		0	电容值	辅助ADC内部电容值。 0 = 5 pF。 1 = 10 pF。	0
芯片温度LSB	49	7:0	芯片温度[7:0]	参见寄存器0x4A。	R
芯片温度MSB	4A	7:0	芯片温度[15:8]	芯片温度[15:0]表示芯片近似温度。 0xADCC = -39.9°C 0xC422 = 25.1°C ... 0xD8A8 = 84.8°C(详情参见“温度传感器”部分)	R
SED控制	67	7	SED比较使能	1 = 使能SED电路。如果未使能SED, 则此寄存器中的任何标志位和寄存器0x70至0x73的值都不重要。	0
		5	检测到采样错误	1 = 表示检测到错误。此位保持置位状态, 直到清零。对此寄存器的任何写操作都会将此位清0。	0
		3	使能自动清零	1 = 使能自动清零模式。只要连续接收到8个采样数据集并且没有错误, 它就会激活此寄存器的位1和位0, 并导致寄存器0x70至0x73自动清零。	0
		1	比较失败	1 = 表示检测到错误。此位保持高电平, 直到因为连续无误地接收到8个比较结果而自动清零, 或者因为写入此寄存器而清零。	0
		0	比较通过	1 = 表示最后一个采样比较没有错误。	0
比较I0 LSB	68	7:0	比较值I0[7:0]	比较值I0[15:0]是与输入接口上采集的I0输入样本进行比较的字。	B6
比较I0 MSB	69	7:0	比较值I0[15:8]	参见寄存器0x68。	7A
比较Q0 LSB	6A	7:0	比较值Q0[7:0]	比较值Q0[15:0]是与输入接口上采集的Q0输入样本进行比较的字。	45

AD9122

寄存器名称	地址(十六进制)	位	名称	描述	默认值
比较Q0 MSB	6B	7:0	比较值Q0[15:8]	参见寄存器0x6A。	EA
比较I1 LSB	6C	7:0	比较值I1[7:0]	比较值I1[15:0]是与输入接口上采集的I1输入样本进行比较的字。	16
比较I1 MSB	6D	7:0	比较值I1[15:8]	参见寄存器0x6C。	1A
比较Q1 LSB	6E	7:0	比较值Q1[7:0]	比较值Q1[15:0]是与输入接口上采集的Q1输入样本进行比较的字。	C6
比较Q1 MSB	6F	7:0	比较值Q1[15:8]	参见寄存器0x6E。	AA
SED I LSB	70	7:0	检测到错误I_BITS[7:0]	检测到错误I_BITS[15:0]表示接收的哪些位出错。	0
SED I MSB	71	7:0	检测到错误I_BITS[15:8]	参见寄存器0x70。	0
SED Q LSB	72	7:0	检测到错误Q_BITS[7:0]	检测到错误Q_BITS[15:0]表示接收的哪些位出错。	0
SED Q MSB	73	7:0	检测到错误Q_BITS[15:8]	参见寄存器0x72。	0
版本	7F	5:2	版本[3:0]	此值与芯片版本号一致。 0001：R1版芯片 0010：R2版芯片	N/A

LVDS输入数据端口

AD9122配有一个LVDS数据端口，用以接收I和Q发射路径的数据。该器件可以接受字、字节和半字节格式的数据。在字、字节和半字节模式下，数据分别通过16位、8位和4位LVDS数据总线发送。各种模式下总线的引脚分配如表12所示。

表12. 各种数据输入模式的数据位对分配

模式	MSB, ..., LSB
字	D15, D14, ..., D0
字节 ¹	D14, D12, D10, D8, D7, D5, D3, D1
Nibble ¹	D10, D8, D7, D5

¹ 在字节和半字节模式下，不用的引脚可以保持悬空。

数据伴随一个参考位(DCI)，用于产生双倍数据速率(DDR)时钟。在字节和半字节模式下，需要一个FRAME信号来控制向何DAC发送数据。所有接口信号保持时序一致。虽然对总线有最大偏斜要求，但没有建立和保持时间要求需要满足。

字接口模式

在字模式下，DCI信号是用于产生数据采样时钟的参考位。DCI信号与数据保持时序一致。I DAC数据应与DCI高电平一致，而Q DAC数据应与DCI低电平一致，如图43所示。

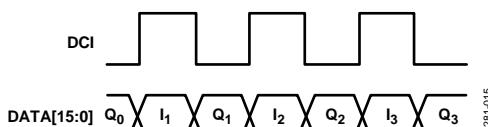


图43. 字模式时序图

字节接口模式

在字节模式下，DCI信号是用于产生数据采样时钟的参考位，应与数据保持时序一致。数据的最高有效字节应与DCI高电平一致，而最低有效字节应与DCI低电平一致。FRAME信号指示向何DAC发送数据。当FRAME为高电平时，数据发送至I DAC；当FRAME为低电平时，数据发送至Q DAC。完整时序图见图44。

半字节接口模式

在半字节模式下，DCI信号是用于产生数据采样时钟的参考位，应与数据保持时序一致。FRAME信号指示向何DAC发送数据。当FRAME为高电平时，数据发送至I DAC；当FRAME为低电平时，数据发送至Q DAC。必须写入所有四个半字节，器件才能正常工作。对于12位分辨率器件，第四个半字节中的数据充当数据帧结构的占位符。完整时序图见图45。

FIFO操作

AD9122内置一个2通道、16位宽、8字深FIFO，设计用来缓解到达DAC输入端口的数据与内部DAC数据速率时钟之间的时序关系。FIFO充当一个缓冲器，能够吸收数据源与DAC之间的时序偏差，例如FPGA或ASIC的时钟与数据偏差，从而显著提高接口的时序预算。

图46显示了FIFO数据路径的框图。数据先被锁存至器件，经过格式化后写入FIFO写指针所决定的FIFO寄存器。每次有新数据载入FIFO时，写指针的值就会递增。另一方面，器件从读指针决定的FIFO寄存器读取数据并馈入数字数据路径。每次从FIFO读取数据到数据路径时，读指针的值就会更新。FIFO指针以数据速率(DACCLK速率除以插值比)递增。

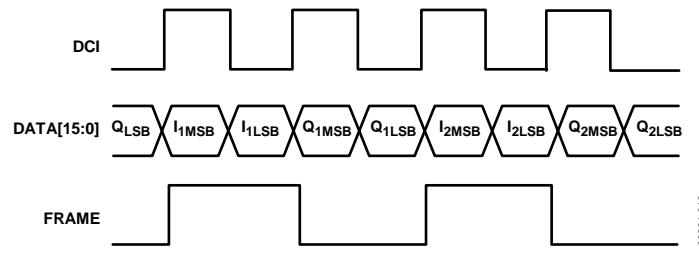


图44. 字节模式时序图

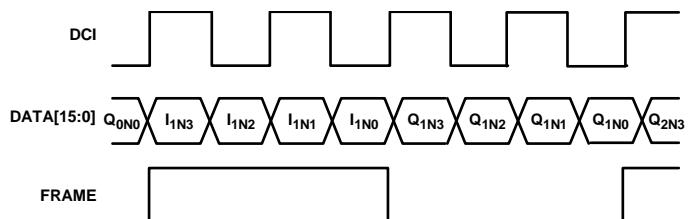


图45. 半字节模式时序图

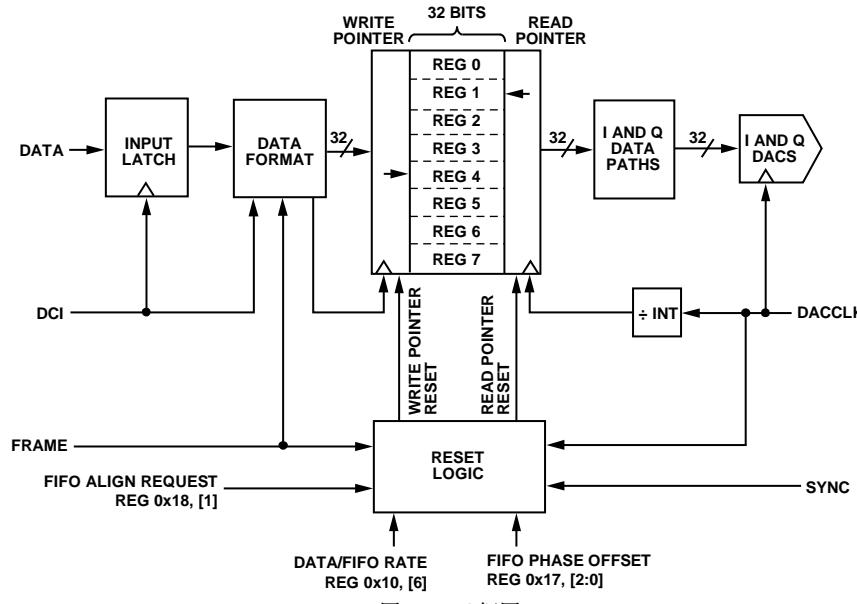


图46. FIFO框图

只要FIFO没有溢出或者变空，就会通过FIFO传输有效数据。当写指针和读指针指向同一FIFO位置时，即产生FIFO溢出或空置条件。这种同时访问会导致FIFO数据传输不可靠，因此必须避免。

名义上，写入和读取FIFO的数据速率相同，这可以使FIFO深度保持不变。如果数据写入FIFO的速度快于数据读出的速度，FIFO深度将增加。而如果数据写入器件的速度慢于数据读取的速度，FIFO深度将降低。为获得最佳时序余量，FIFO深度应保持接近半满状态（写指针与读指针值相差4）。FIFO深度代表FIFO流水线延迟，是AD9122总延迟的一部分。

FIFO复位

为避免同时对相同的FIFO地址执行读取和写入，以及确保流水线延迟固定，必须将FIFO指针复位到已知状态。FIFO指针的初始化方式有两种：对串行端口执行一个写序列，或者选通FRAME输入。FIFO复位有两种类型：相对复位和绝对复位。相对复位会强制设定规定的FIFO深度。而绝对复位则是在复位初始化时强制设定特定的写指针值。串行端口启动的FIFO复位始终是相对复位。FRAME选通脉冲启动的复位可以是相对复位，也可以是绝对复位。

FRAME启动的FIFO复位操作取决于所选的同步模式。禁用同步时，或者配置为数据速率模式同步时，FRAME选通脉冲启动相对FIFO复位。而选择FIFO模式同步时，FRAME选通脉冲启动绝对FIFO复位。有关同步功能的更多信息，请参见“多芯片同步”部分。

表13列出了各种同步模式及相应的FIFO复位类型。

表13. FIFO复位汇总

FIFO复位信号	同步模式		
	禁用	数据速率	FIFO速率
串行端口	相对	相对	相对
FRAME	相对	相对	相对

串行端口启动的FIFO复位

串行端口启动的FIFO复位可以在任何模式下进行，结果始终是相对FIFO复位。要通过串行端口初始化FIFO数据水平，寄存器0x18的位1必须从0变为1，再变回0。当对该寄存器的写操作完成时，FIFO数据水平完成初始化。触发初始化后，下次读指针变为0时，写指针将在初始化时被设置为FIFO起始水平（寄存器0x17的位[2:0]）变量的值。该值默认为4，但可以编程为0到7的值。

串行端口FIFO数据水平初始化的推荐步骤如下：

- 将寄存器0x18的位1置1，以请求复位FIFO水平。
- 通过确保寄存器0x18的位2为1，验证器件已对该请求做出应答。
- 将寄存器0x18的位1置0，以撤除该请求。
- 通过确保寄存器0x18的位2为0，验证器件已撤销应答信号。

FRAME启动的相对FIFO复位

FRAME输入的主要功能是指示向何DAC写入输入数据。它还有另一个功能，即初始化FIFO数据水平值，方法是至少在将完整数据载入I和Q DAC所需的时间段内将FRAME信号置位高电平。

这相当于字模式下的一个DCI周期、字节模式下的两个DCI周期和半字节模式下的四个DCI周期。

要利用FRAME信号启动相对FIFO复位，器件必须配置为数据速率模式(寄存器0x10[6])。在数据速率模式下置位FRAME时，写指针将在下次读指针变为0时设置为4(默认值，或者设置为FIFO起始水平)(见图47)。

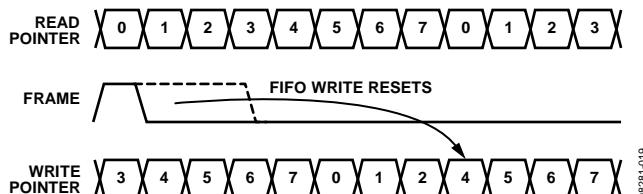


图47. FRAME输入与写指针值的关系(数据速率模式)

FRAME启动的绝对FIFO复位

在FIFO速率同步模式下，REFCLK/SYNC信号用于将FIFO读指针复位到地址0。用于采样SYNC信号的DAC时钟边沿由寄存器0x10的位3选择。FRAME信号用于复位FIFO写指针。在FIFO速率同步模式下，至少在将完整数据载入I和Q DAC所需的时间段内需将FRAME信号置为高电平，然后FIFO写指针立即复位。FIFO写指针复位为寄存器0x17中FIFO相位偏移[2:0]的值。FIFO速率同步通过将寄存器0x10的位6设置为0进行选择。

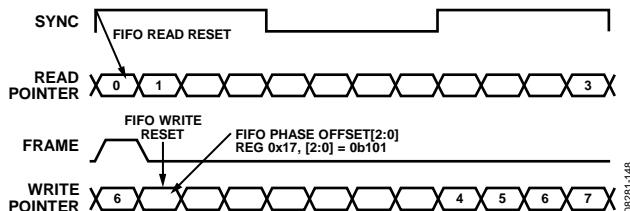


图48. FRAME输入与写指针值的关系(FIFO速率模式)

FIFO状态监控

可以从寄存器0x18读取FIFO初始化和状态。此寄存器提供有关FIFO初始化方法及初始化是否成功的信息。寄存器0x18的MSB是FIFO警告标志位，可以选择让它触发一个器件IRQ。此标志位指示FIFO接近为空(FIFO水平等于1)或溢出(FIFO水平等于7)，意味着数据可能很快就会损坏，应当采取措施。

FIFO数据水平可以随时从寄存器0x19读取。串行端口报告的FIFO数据水平表示为在绝对读计数器为0时写计数器状态的7位温度计编码。因此，最佳FIFO数据水平4在状态寄存器中报告的值为00001111。应当注意，根据DCI与主DACCLK之间的时序关系不同，FIFO水平值可能有±1的出入。因此，读写指针的差值至少应为2。

接口时序

数字接口端口的时序图如图49所示。数据总线的采样点出现在DCI信号各边沿后的350 ps(标称值)时，并且具有±300 ps的不确定性，如图49中的采样间隔所示。在该采样间隔内，DATA和FRAME信号必须一直有效。在采样间隔之间，DATA和FRAME信号可以随时改变。

相对于边沿的建立(t_S)和保持(t_H)时间如图49所示。最短建立和保持时间如表14所示。

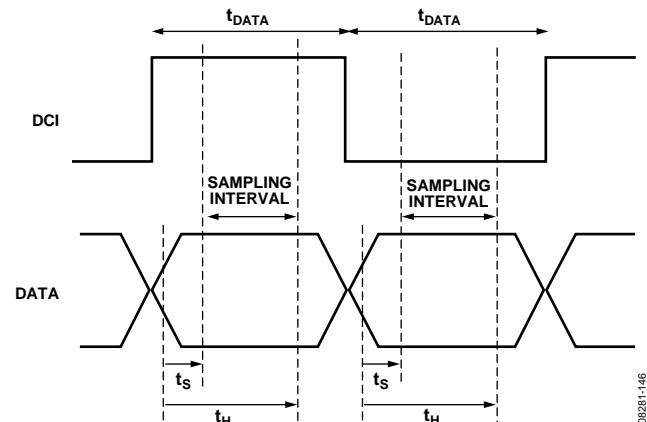


图49. 输入数据端口时序图

表14. DATA至DCI建立和保持时间与DCI延迟值的关系

DCI_DELAY 寄存器0x16 位[1:0]	最短建立时间 (t_S)ns	最短保持时间 (t_H)ns	采样间隔 ns
00	-0.05	0.65	0.6
01	-0.23	0.95	0.72
10	-0.38	1.22	0.84
11	-0.47	1.38	0.91

使用采样误差检测(SED)电路可以验证数据接口时序。详情参见“接口时序验证”部分。

在数据速率模式下，除了表15所示的DCI至DATA时序要求外，还必须满足DCI与DACCLK之间的第二时序约束条件。数据速率模式仅使用一个FIFO槽。DCI至DACCLK时序限制的目的是防止数据同时写入和读出该FIFO槽。DCI与DACCLK之间的时序要求如图50所示。

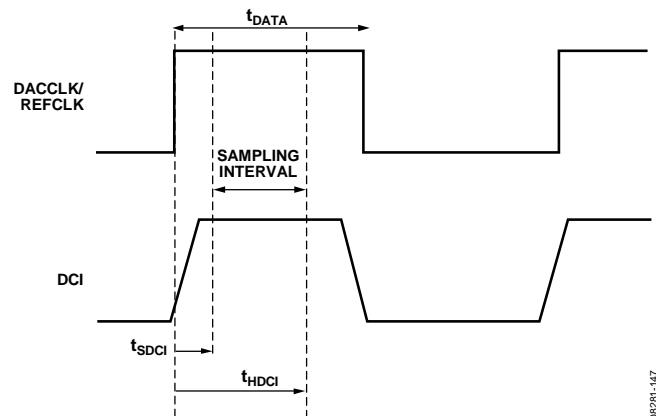


图50. 输入数据端口时序图(数据速率模式)

表15. DCI至DACCLK建立和保持时间与DCI延迟值的关系

DCI_DELAY 寄存器0x16位 [1:0]	最短建立时间 (t_{SDCl})ns	最短保持时间 (t_{HDCl})ns	采样间隔 ns
00	-0.07	0.82	0.75
01	-0.24	1.13	0.89
10	-0.39	1.40	1.01
11	-0.49	1.55	1.06

数字数据路径

图51显示了数字数据路径的功能框图。数字处理包括预调制模块、三个半带插值滤波器、带高分辨率NCO的正交调制器、相位和失调调整模块，以及反sinc滤波器。

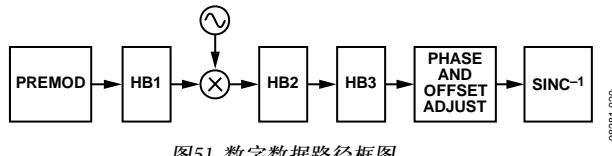


图51. 数字数据路径框图

数字数据路径接受I和Q数据流，并将它们当作正交数据流进行处理。当输入数据流表示为复数数据时，可以使用这些信号处理模块。

该数据路径也可以用来处理一个代表两个独立实数数据的输入数据流，但功能会略受限制。预调制模块可以像在任何非偏移插值滤波器模式下一样使用。详情见“预调制”部分。

预调制

半带插值滤波器具有可选的通带，中心频率能以输入数据速率的一半为增量移动。预调制模块对输入波形进行数字上变频，幅度为输入数据速率(f_{DATA})的一半。这样就可以将基带输入数据频移到插值滤波器通带的中心。

插值滤波器

发射路径包括三个插值滤波器，各插值滤波器都将输出数据速率提高2倍。这些半带(HB)滤波器可以分别进行旁路或级联，以提供1倍、2倍、4倍或8倍的插值比。各半带滤波器级提供不同的带宽与工作模式组合。

三个半带滤波器相对于滤波器输入端数据速率的带宽如下：

- HB1带宽 = $0.8 \times f_{IN1}$
- HB2带宽 = $0.5 \times f_{IN2}$
- HB3带宽 = $0.4 \times f_{IN3}$

可用带宽定义为滤波器通带纹波小于 ± 0.001 dB且镜像抑制大于+85 dB的频率范围。如“半带滤波器1(HB1)”部分所述，决定滤波器可用带宽的通常是镜像抑制性能，而不是通带平坦度。

半带滤波器具有多种工作模式，可以提供可编程通带中心频率和信号调制功能。HB1滤波器有四种工作模式，而HB2和HB3滤波器各有八种工作模式。

半带滤波器1 (HB1)

HB1有四种工作模式，如图52所示。各种模式下的滤波器响应曲线完全相同。这四种模式通过两个因素来区别：滤波器中心频率以及滤波器是否调制输入信号。

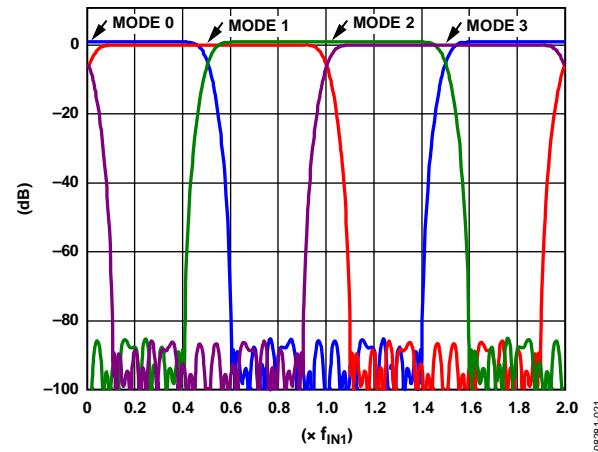


图52. HB1滤波器模式

如图52所示，各种模式下的中心频率偏移滤波器输入数据速率(f_{IN1})的一半。模式0和模式1不调制输入信号。模式2和模式3用 f_{IN1} 调制输入信号。在模式0和模式2下工作时，I和Q路径独立工作，且两个通道的数据不发生混合。在模式1和模式3下工作时，I和Q路径的数据发生混合；因此，输入滤波器的数据被认为是复数数据。表16概述了HB1的各种模式。

表16. HB1滤波器模式汇总

模式	f_{CENTER}	f_{MOD}	输入数据
0	DC	无	实数或复数
1	$f_{IN}/2$	无	复数
2	f_{IN}	f_{IN}	实数或复数
3	$3f_{IN}/2$	f_{IN}	复数

图53显示了HB1的通带滤波器响应性能。大多数应用中，滤波器的可用带宽受限于阻带抑制所提供的镜像抑制性能，而不是通带平坦度。表17显示了HB1滤波器在不同带宽下支持的通带平坦度和阻带抑制。

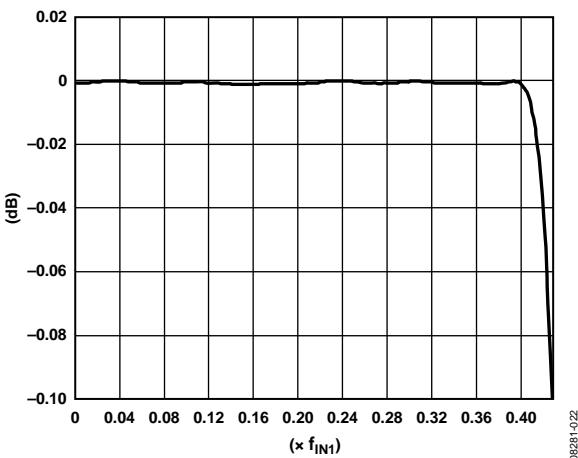


图53. HB1的通带详情

表17. 不同带宽下HB1通带和阻带性能

带宽(f_{IN1} 的%)	带宽(f_{IN1} 的%)	阻带抑制(dB)
80	0.001	85
80.4	0.0012	80
81.2	0.0033	70
82.0	0.0076	60
83.6	0.0271	50
85.6	0.1096	40

半带滤波器2(HB2)

HB2有八种工作模式，如图54和图55所示。各种模式下的滤波器响应曲线完全相同。这八种模式通过两个因素来区别：滤波器中心频率以及滤波器是否调制输入信号。

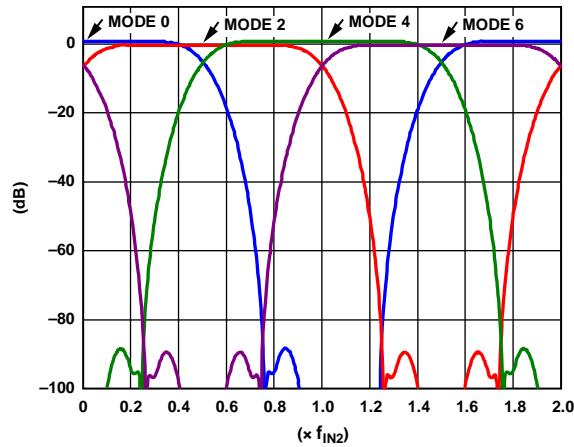


图54. HB2偶数滤波器模式

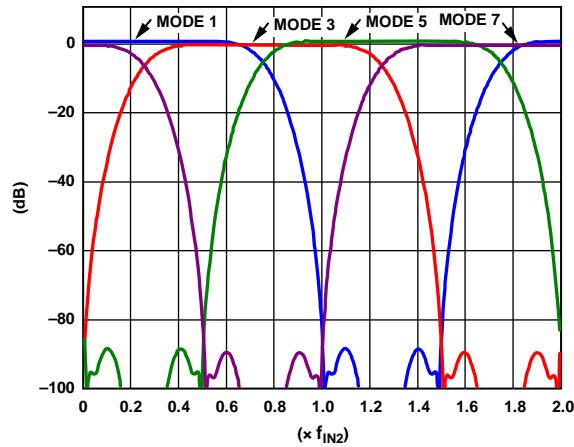


图55. HB2奇数滤波器模式

如图54和图55所示，各种模式下的中心频率偏移滤波器输入数据速率(f_{IN2})的 $\frac{1}{4}$ 。模式0至模式3不调制输入信号。模式4至模式7用 f_{IN2} 调制输入信号。在模式0和模式4下工作时，I和Q路径独立工作，且两个通道的数据不发生混合。在其它六种模式下工作时，I和Q路径的数据发生混合；因此，输入滤波器的数据被认为是复数数据。

表18概述了HB2和HB3的各种模式。

表18. HB2和HB3滤波器模式汇总

模式	f_{CENTER}	f_{MOD}	输入数据
0	DC	无	实数或复数
1	$f_{IN}/4$	无	复数
2	$f_{IN}/2$	无	复数
3	$3f_{IN}/4$	无	复数
4	f_{IN}	f_{IN}	实数或复数
5	$5f_{IN}/4$	f_{IN}	复数
6	$3f_{IN}/2$	f_{IN}	复数
7	$7f_{IN}/4$	f_{IN}	复数

图56显示了HB2的通带滤波器响应性能。大多数应用中，滤波器的可用带宽受限于阻带抑制所提供的镜像抑制性能，而不是通带平坦度。表19显示了HB2滤波器在不同带宽下支持的通带平坦度和阻带抑制。

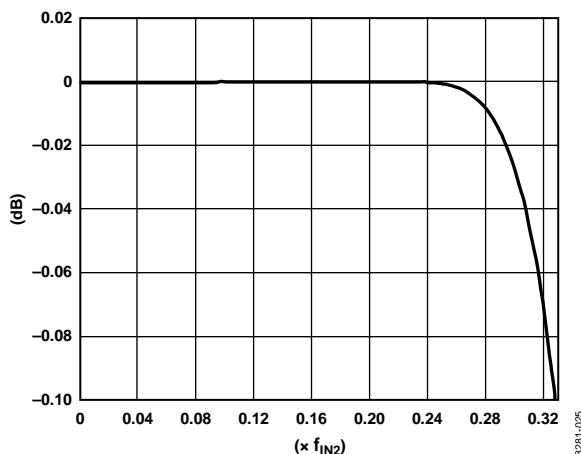


图56. HB2的通带详情

表19. 不同带宽下HB2通带和阻带性能

带宽(f_{IN2} 的%)	通带平坦度(dB)	阻带抑制(dB)
50	0.001	85
50.8	0.0012	80
52.8	0.0028	70
56.0	0.0089	60
60	0.0287	50
64.8	0.1877	40

半带滤波器3 (HB3)

HB3有八种工作模式，功能与HB2相同。HB2与HB3的主要区别在于滤波器带宽。

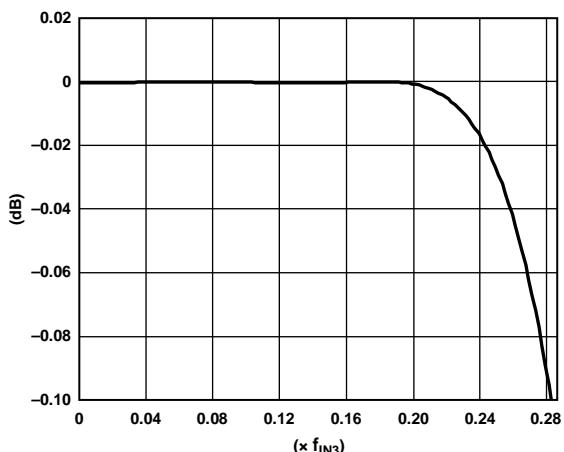


图57. HB3的通带详情

图57显示了HB3的通带滤波器响应性能。大多数应用中，滤波器的可用带宽受限于阻带抑制所提供的镜像抑制性能，而不是通带平坦度。表20显示了HB3滤波器在不同带宽下支持的通带平坦度和阻带抑制。

表20. 不同带宽下HB3通带和阻带性能

带宽(f_{IN3} 的%)	通带平坦度(dB)	Stop-Band
40	0.001	85
40.8	0.0014	80
42.4	0.002	70
45.6	0.0093	60
49.8	0.03	50
55.6	0.1	40

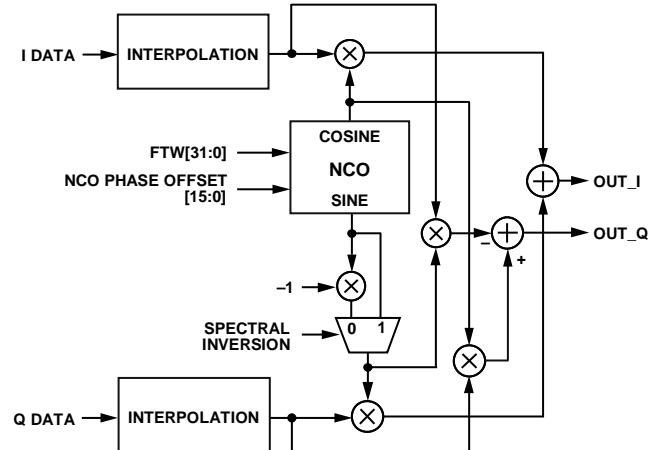


图58. 数字正交调制器框图

NCO调制

数字正交调制器包括数字控制振荡器、移相器和复数调制器，用于通过一个可编程载波信号调制输入信号。图58给出了数字调制器的框图。数字调制器提供的精调制与插值滤波器和预调制模块提供的粗调制相结合，能够以非常高的频率分辨率将信号放在输出频谱中的任何位置。

正交调制器用于将NCO产生的载波信号与I和Q信号混频。NCO产生一个正交载波信号，以将输入信号转换到新的中心频率。复载波信号是一对相同频率的正弦波形，彼此错相90°。复载波信号的频率通过寄存器0x30至0x33的FTW[31:0]设置。

NCO工作频率 f_{NCO} 等于 f_{DATA} (旁路HB1)或两倍的 f_{DATA} (使能HB1)。复载波信号的频率设置范围是DC至 f_{NCO} 。频率调谐字(FTW)的计算方法如下：

$$FTW = \frac{f_{CARRIER}}{f_{NCO}} \times 2^{32}$$

所产生的正交载波信号与I和Q数据混频。然后，正交积相加并进入I和Q数据路径，如图58所示。

更新频率调谐字

与其它配置寄存器不同，频率调谐字寄存器不是在写入后立即更新。FTW寄存器加载所需的值后，要使新的FTW生效，寄存器0x36的位0必须从0变为1。

数据路径配置

AD9122数据路径的配置首先是从输入数据速率、插值比、输出信号带宽和输出信号中心频率的应用要求开始的。

知道这四个参数之后，配置数据路径的第一步是检查器件是否支持带宽要求。第二步是选择插值滤波器的模式。最后一步是确定所有其它频率偏移要求，并应用于预调制和NCO调制。

确定数据路径信号带宽

数据路径的可用信号带宽取决于输出信号的中心频率与所用插值滤波器的中心频率之间的关系。如果信号中心频率偏离半带滤波器的中心频率，则可用信号带宽会降低。

当配置正确时，2倍插值的可用复数信号带宽始终为输入数据速率的80%。4倍插值的可用信号带宽随输出频率变化而变化，范围为输入数据速率的50%到80%，如图59所示。请注意，在4倍插值模式下， $f_{DAC} = 4 \times f_{DATA}$ ；因此，从DC到 f_{DAC} ，图59所示的数据会重复四次。

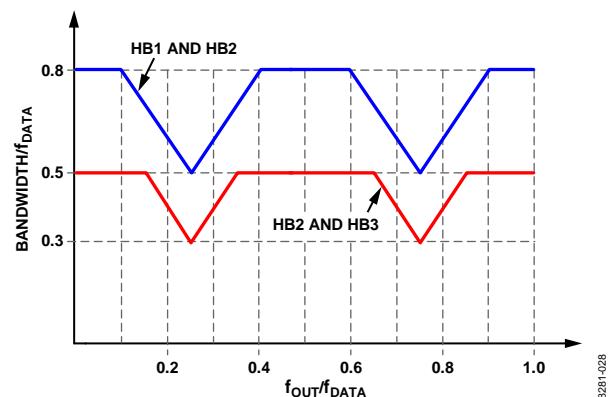


图59. 信号带宽与输出信号中心频率的关系 (4倍插值)

利用HB2和HB3滤波器配置4倍插值时，器件的功耗有所下降，但带宽会受损。图59中的下部曲线表明：该模式下支持的带宽在 f_{DATA} 的30%到50%范围内变化。

8倍插值的可用信号带宽随输出频率变化而变化，范围为输入数据速率的50%到80%，如图60所示。请注意，在8倍插值模式下， $f_{DAC} = 8 \times f_{DATA}$ ；因此，从DC到 f_{DAC} ，图60所示的数据会重复八次。

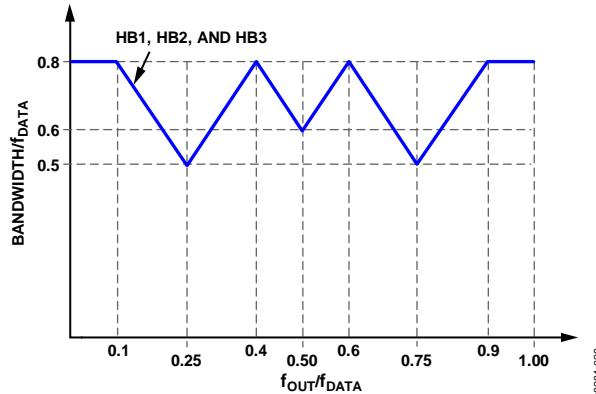


图60. 信号带宽与输出信号中心频率的关系 (8倍插值)

确定插值滤波器模式

表21列出了不同滤波器插值系数、滤波器中心频率和信号调制下的推荐插值滤波器设置。插值模式是根据信号的最终中心频率和所需的信号频移来选择的。知道这些参数并用输入数据速率(f_{DATA})表示后，便可从表21中选择最匹配的滤波器配置。

表21. 推荐的插值滤波器模式(寄存器0x1C至寄存器0x1E)

插值系数	滤波器模式			f_{SIGNAL} 调制	f_{CENTER} 频移
	HB1[1:0]	HB2[5:0]	HB3[5:0]		
8	00 (0)	000000	000000	DC	0
8	01 (1)	001001	000000	DC ¹	$f_{DATA}/2$
8^2	10 (2)	010010	001001	f_{DATA}	f_{DATA}
8	11 (3)	011011	001001	f_{DATA}^1	$3f_{DATA}/2$
8	00 (0)	100100	010010	$2f_{DATA}$	$2f_{DATA}$
8	01 (1)	101101	010010	$2f_{DATA}^1$	$5f_{DATA}/2$
8	10 (2)	110110	011011	$3f_{DATA}$	$3f_{DATA}$
8	11 (3)	111111	011011	$3f_{DATA}^1$	$7f_{DATA}/2$
8	00 (0)	000000	100100	$4f_{DATA}$	$4f_{DATA}$
8	01 (1)	001001	100100	$4f_{DATA}^1$	$9f_{DATA}/2$
8	10 (2)	010010	101101	$5f_{DATA}$	$5f_{DATA}$
8	11 (3)	011011	101101	$5f_{DATA}^1$	$11f_{DATA}/2$
8	00 (0)	100100	110110	$6f_{DATA}$	$6f_{DATA}$
8	01 (1)	101101	110110	$6f_{DATA}^1$	$13f_{DATA}/2$
8	10 (2)	110110	111111	$7f_{DATA}$	$7f_{DATA}$
8	11 (3)	111111	111111	$7f_{DATA}^1$	$15f_{DATA}/2$
4	00 (0)	000000	旁路	DC	0
4^3	01 (1)	001001	旁路	DC ¹	$f_{DATA}/2$
4	10 (2)	010010	旁路	f_{DATA}	f_{DATA}
4	11 (3)	011011	旁路	f_{DATA}^1	$3f_{DATA}/2$
4	00 (0)	100100	旁路	$2f_{DATA}$	$2f_{DATA}$
4	01 (1)	101101	旁路	$2f_{DATA}^1$	$5f_{DATA}/2$
4	10 (2)	110110	旁路	$3f_{DATA}$	$3f_{DATA}$
4	11 (3)	111111	旁路	$3f_{DATA}^1$	$7f_{DATA}/2$
2	00 (0)	旁路	旁路	DC	0
2	01 (1)	旁路	旁路	DC ¹	$f_{DATA}/2$
2	10 (2)	旁路	旁路	f_{DATA}	f_{DATA}
2	11 (3)	旁路	旁路	f_{DATA}^1	$3f_{DATA}/2$

¹ 使用HB1模式1或模式3时，使能预调制可将输入信号再频移 $f_{DATA}/2$ ，从而使基带输入信号位于滤波器通带中心。

² 不使用NCO的8倍插值示例中使用了该配置。另请参见“不使用NCO的8倍插值”部分。

³ 使用NCO的4倍插值示例中使用了该配置。另请参见“使用NCO的4倍插值”部分。

数据路径配置示例

不使用NCO的8倍插值

已知条件如下：

$$f_{\text{DATA}} = 100 \text{ MSPS}$$

8倍插值

$$f_{\text{BW}} = 75 \text{ MHz}$$

$$f_{\text{CENTER}} = 100 \text{ MHz}$$

所需的75 MHz带宽为 f_{DATA} 的75%。这种情况下， $f_{\text{OUT}}/f_{\text{DATA}} = 100/100 = 1.0$ 。从图60可以看出， f_{DATA} 时支持的带宽为0.8，证明AD9122支持该配置所需的带宽。

信号中心频率为 f_{DATA} ，假设输入信号为基带信号，则所需的频移也为 f_{DATA} 。选择表21中IF栏的第三行(用上标2强调显示)时，对应的滤波器模式提供中心频率 f_{DATA} 和频移 f_{DATA} 。三个半带滤波器的选定模式为：HB1使用模式2；HB2使用模式2；而HB3使用模式1。图61显示了信号如何通过这些插值滤波器进行传播。

由于 $2 \times f_{\text{IN1}} = f_{\text{IN2}}$ 且 $2 \times f_{\text{IN2}} = f_{\text{IN3}}$ ，因此进入各后续级的信号频率似乎缩小 $\frac{1}{2}$ 。输出信号频段为 f_{IN3} (400MHz)的0.15至0.35。因此，支持的输出频率为60 MHz至140 MHz，涵盖所需以100 MHz为中心的75 MHz带宽。

使用NCO的4倍插值

已知条件如下：

$$f_{\text{DATA}} = 250 \text{ MSPS}$$

4倍插值

$$f_{\text{BW}} = 140 \text{ MHz}$$

$$f_{\text{CENTER}} = 175 \text{ MHz}$$

所需的140 MHz带宽为 f_{DATA} 的56%。如图59所示， $0.7 \times f_{\text{DATA}}$ 时的值为0.6，其计算方法为： $0.8 - 2(0.7 - 0.6) = 0.6$ 。这证明AD9122支持60% f_{DATA} 的带宽，它超过所需值56%。

信号中心频率为 $0.7 \times f_{\text{DATA}}$ ，假设输入信号为基带信号，则所需的频移也为 $0.7 \times f_{\text{DATA}}$ 。选择表21中4倍插值部分IF栏的第二行时，对应的滤波器模式提供 $f_{\text{DATA}}/2$ 的中心频率，无频移。三个半带滤波器的选定模式为：HB1使用模式1；HB2使用模式1；而HB3旁路。

由于选择了HB1的模式1，因而应使能预调制模块。这样可以提供 $f_{\text{DATA}}/2$ 调制，从而让基带输入数据以HB1的中心频率为中心。数字调制器可以使用来提供最终频移 $0.2 \times f_{\text{DATA}}$ ，以将输出信号放在所需的 $0.7 \times f_{\text{DATA}}$ 位置。

使用NCO时FTW的计算公式如下：

$$FTW = \frac{f_{\text{CARRIER}}}{f_{\text{NCO}}} \times 2^{32}$$

其中：

$$f_{\text{CARRIER}} = 0.2 \times f_{\text{DATA}}$$

$$f_{\text{NCO}} = 2 \times f_{\text{DATA}} \text{。因此, } FTW = 2^{32}/10$$

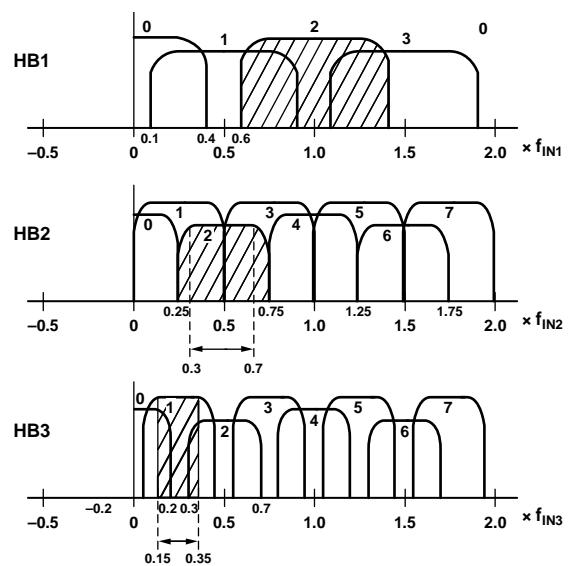


图61. 8倍插值的信号传播 (f_{DATA} 调制)

数据速率与插值模式

表23概述了各种总线宽度模式与插值率组合下的最大总线速度(f_{BUS})、支持的输入数据速率和信号带宽。支持的实信号带宽是输入数据速率的一部分，取决于所选的插值滤波器(HB1、HB2或HB3)。支持的复数信号带宽是实信号带宽的两倍。

一般而言，使能HB1时能够最好地支持2倍插值，而使能HB1和HB2时能够最好地支持4倍插值。某些情况下，不使用HB1可以降低功耗。如果所需带宽足够低，则可以通过HB2来支持2倍插值，而通过HB2和HB3来支持4倍插值。

粗调制混频序列

粗数字正交调制发生在插值滤波器内部。它将输入数据的频谱偏移选定的频率。可用的频率偏移为输入数据速率的倍数。该调制相当于将正交输入信号乘以如下形式的复载波信号C(t)：

$$C(t) = \cos(\omega_c t) + j \sin(\omega_c t)$$

实际操作中，该调制产生表22所示的混频函数。

表22. 调制混频序列

调制	混频序列
$f_s/2$	$I = I, -I, I, -I, \dots$ $Q = Q, -Q, Q, -Q, \dots$
$f_s/4$	$I = I, Q, -I, -Q, \dots$ $Q = Q, -I, -Q, I, \dots$
$3 f_s/4$	$I = I, -Q, -I, Q, \dots$ $Q = Q, I, -Q, -I, \dots$
$f_s/8$	$I = I, r(I + Q), Q, r(-I + Q), -I, -r(I + Q), -Q, r(I - Q), \dots$ $Q = Q, r(Q - I), -I, -r(Q + I), -Q, r(-Q + I), I, r(Q + I), \dots$

注意： $= \frac{\sqrt{2}}{2}$

如表22所示，大多数模式的混频函数都会交叉耦合I和Q通道的采样数据。I和Q通道仅在 $f_s/2$ 模式下彼此独立工作。这意味着同时使用I和Q DAC输出的实数调制只能在 $f_s/2$ 模式下进行。所有其它调制模式都需要复数输入数据，并且产生复数输出信号。

表23. 不同插值模式下的数据速率和带宽汇总(DVDD18 = 1.8V +/- 2%)

总线宽度	滤波器模式			f_{BUS} (Mbps)	f_{DATA} (Mbps)	实信号带宽(MHz)	f_{DAC} (MHz)
	HB3	HB2	HB1				
半字节(4位)	0	0	0	1200	150	75	150
	0	0	1	1200	150	60	300
	0	1	0	1200	150	37.5	300
	0	1	1	1200	150	60	600
	1	1	0	1200	150	37.5	600
	1	1	1	1200	150	60	1200
字节(8位)	0	0	0	1200	300	150	300
	0	0	1	1200	300	120	600
	0	1	0	1200	300	75	600
	0	1	1	1200	300	120	1200
	1	1	0	1200	300	75	1200
	1	1	1	600	150	60	1200
字(16位)	0	0	0	1200	600	300	600
	0	0	1	800	400	160	800
	0	1	0	1200	600	150	1200
	0	1	1	600	300	120	1200
	1	1	0	600	300	75	1200
	1	1	1	300	150	60	1200

正交相位校正

正交相位校正模块的作用是补偿DAC之后模拟正交调制器的相位不平衡。如果正交调制器存在相位不平衡，就会出现能量显著的干扰边带。通过调节正交相位调整值，可以优化单边带无线电的镜像抑制性能。

通常情况下，I与Q通道之间的角度恰好为90°。正交相位调整可以改变I与Q通道之间的角度。当I相位调整[9:0]设置为1000000000b时，I DAC输出远离Q DAC输出大约1.75°，两个通道之间的角度变为91.75°。当I相位调整[9:0]设置为0111111111b时，I DAC输出移近Q DAC输出大约1.75°，两个通道之间的角度变为88.25°。

Q相位调整[9:0]的工作原理与此相同。当Q相位调整[9:0]设置为1000000000b时，Q DAC输出远离I DAC输出大约1.75°，两个通道之间的角度变为91.75°。当Q相位调整[9:0]设置为0111111111b时，Q DAC输出移近I DAC输出大约1.75°，两个通道之间的角度变为88.25°。

基于这两个端点，相位补偿寄存器的综合分辨率约为3.5°/1024或每个代码0.00342°。

直流失调校正

通过调整寄存器0x3C至0x3F的I DAC失调[15:0]和Q DAC失调[15:0]，可以独立控制I数据路径和Q数据路径的直流值。这些值直接增加到数据路径值上。应注意不要超过发射值的范围。

图62显示了DAC失调电流是如何随着I DAC失调[15:0]和Q DAC失调[15:0]值变化而变化的。当数字输入固定在中间电平(0x0000，二进制补码数据格式)时，图62显示了DAC失调值从0逐步变到65535时的标称 I_{OUTP} 和 I_{OUTN} 电流。 I_{OUTP} 和 I_{OUTN} 是互补电流输出，因此二者之和始终是20 mA。

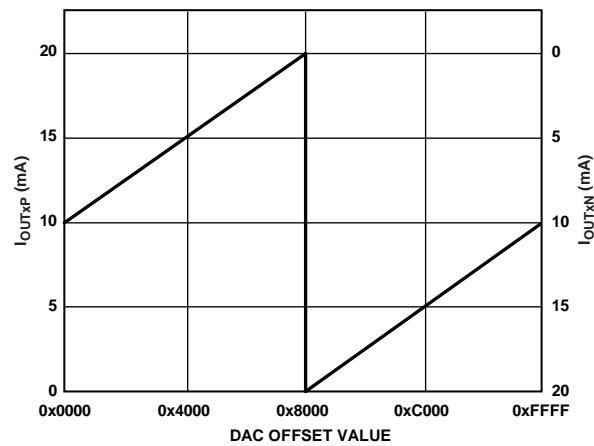


图62. DAC输出电流与DAC失调值的关系

反Sinc滤波器

反sinc(sinc^{-1})滤波器是一个九抽头FIR滤波器。DAC sinc^{-1} 与 $\text{sin}(x)/x$ 响应的复合响应如图63所示。在最高 $0.4 \times f_{\text{DACCLK}}$ 的频率范围内，复合响应的通带纹波小于 ± 0.05 dB。为在通带的上端提供必要的峰化，所示的反sinc滤波器具有约3.2 dB的内在插入损耗。图63显示了复合频率响应性能。

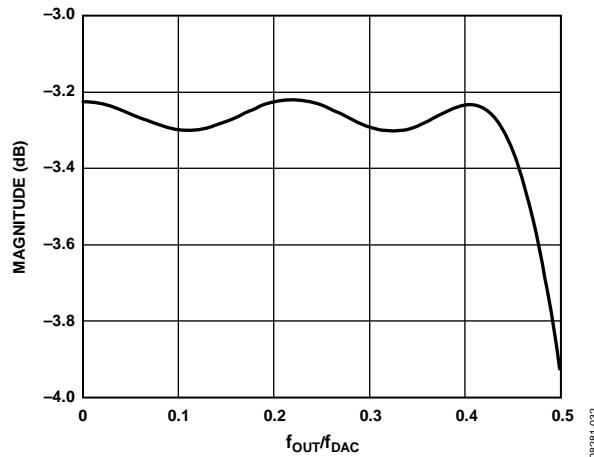


图63. Sinc^{-1} 滤波器和 $\text{Sin}(x)/x$ 滚降的采样复合响应

sinc^{-1} 滤波器默认使能，可以通过将旁路sinc-1位(寄存器0x1B的位6)置1来旁路。

DAC输入时钟配置

DAC输入时钟配置

AD9122 DAC采样时钟(DACCLK)可以直接用作时钟源，也可以在倍频后用作时钟源。时钟倍频涉及到片内锁相环(PLL)。首先，锁相环接受参考时钟，后者频率为所需DACCLK速率(通常是数据输入频率)的因数。然后，PLL将该参考时钟倍频至所需的DACCLK频率，这样就可以利用该频率来产生DAC所需的全部内部时钟。时钟乘法器所提供的高质量时钟能够满足大部分应用的性能要求。使用片内时钟乘法器可以消除产生和分配高速DACCLK的负担。

第二种模式是旁路时钟乘法器电路，而将DACCLK直接提供给DAC内核。这种模式允许用户将极高质量的时钟直接提供给DAC内核使用。在要求极低DAC输出噪声的苛刻应用中，特别是在直接合成150 MHz以上的信号时，可能需要通过REFCLKP、REFCLKN、DACCLKP和DACCLKN引脚直接提供DACCLK。

驱动DACCLK和REFCLK输入

REFCLK和DACCLK差分输入共享类似的时钟接收器输入电路。图64给出了输入的简化电路图。片内时钟接收器具有大约10 kΩ的差分输入阻抗。它自偏置到约1.25 V的共模电压。这些输入可以采用直接耦合差分PECL或LVDS驱动器驱动。如果驱动源无法满足接收器的输入顺从电压要求，也可以将这些输入交流耦合。

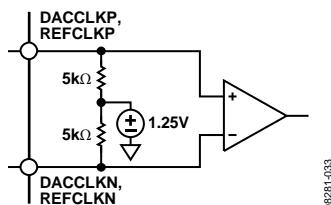


图64. 时钟接收器输入等效电路

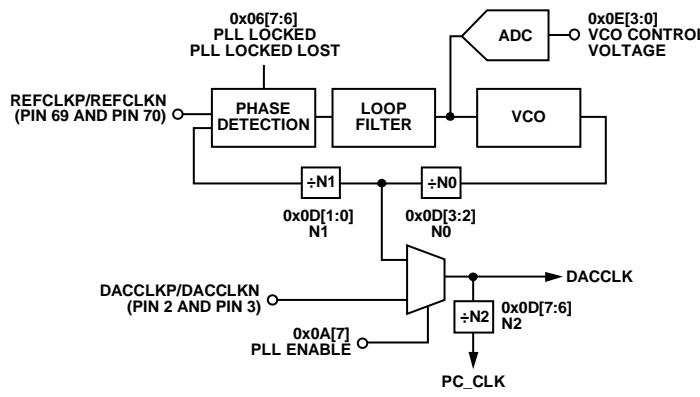


图65. PLL时钟乘法电路

至任一时钟输入的最低输入驱动电平为200 mV峰峰值差分。当时钟输入信号在800 mV峰峰值差分至1.6 V峰峰值差分之间时，性能最佳。无论使用片内时钟乘法器还是直接提供DACCLK，器件的输入时钟信号都必须具有低抖动特性和快速边沿速率，以便优化DAC噪声性能。

直接输入时钟

直接提供低噪声时钟可以使DAC输出端的噪声频谱密度降到最低。要选择差分CLK输入作为DAC采样时钟源，请将PLL使能位(寄存器0x0A的位[7])置0。这将使内部PLL时钟乘法器掉电，并且选择来自DACCLKP和DACCLKN引脚的输入作为内部DAC的采样时钟源。

该器件还具有占空比校正电路和差分输入电平校正电路。在某些情况下，使能这些电路可以改善性能。这些功能的控制位在寄存器0x08中，详情参见表11。

时钟倍频

片内PLL时钟乘法器电路可以用来从低频参考时钟产生DAC采样速率时钟。当PLL使能位(寄存器0x0A的位[7])置1时，时钟乘法电路从较低速率的REFCLK输入产生DAC采样时钟。图65显示了时钟乘法器的功能框图。

时钟乘法电路使VCO的输出频率 f_{VCO} 等于REFCLK输入信号频率乘以 $N1 \times N0$ 。

$$f_{VCO} = f_{REFCLK} \times (N1 \times N0)$$

DAC采样时钟频率 f_{DACCLK} 等于：

$$f_{DACCLK} = f_{REFCLK} \times N1$$

必须适当选择VCO的输出频率，使 f_{VCO} 始终在1.0 GHz至2.1 GHz的最佳工作范围内。还必须适当选择参考时钟的频率以及N1和N0的值，以便能够合成所需的DACCLK频率，并且确保VCO输出频率位于正确范围内。

PLL设置

PLL电路有三个设置，应将其编程为标称值。表24所示的PLL值是这些参数的推荐设置。

表24. PLL设置

PLL SPI控制	地址寄存器	位	优化设置
PLL环路带宽[1:0]	0x0C	[7:6]	11
PLL电荷泵电流[4:0]	0x0C	[4:0]	10001
PLL交叉控制使能	0x0D	[4]	1

配置VCO调谐带

PLL VCO的有效工作范围大致为1.0 GHz至2.1 GHz，被63个重叠频段所覆盖。对于任何所需的VCO输出频率，可能有多个有效的PLL频段选择值。典型器件的频段如图66所示。器件间的差异和工作温度会影响实际频段的频率范围。因此，需要针对每个器件确定最佳的PLL频段选择值。

自动选择VCO频段

器件内置VCO频段自动选择功能，利用该功能配置VCO频段是一种简单而又可靠的方法。在手动模式下启动PLL，并将PLL置于自动频段选择模式，就可以启用该功能。具体方法是将寄存器0xA0设置为值0xCF，然后设置为值0xA0。写入这些值后，器件执行自动程序以确定最佳VCO频段设置。器件选择的设置可以确保PLL在-40°C至+85°C的整个工作温度范围内保持锁定，而无需做进一步调整。(即使初始化时温度处于两个极端之一，PLL也能在整个温度范围内保持锁定。)

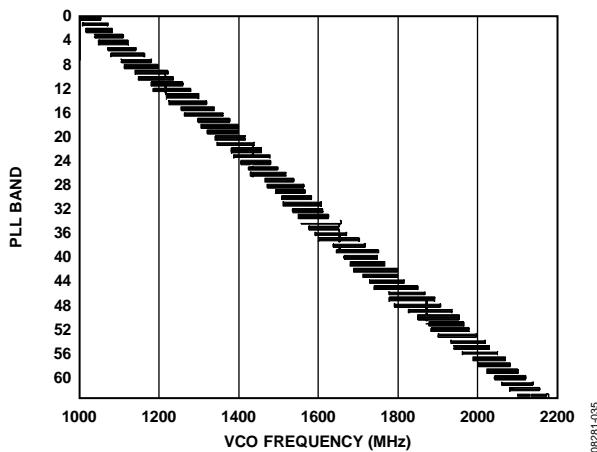


图66. 典型器件的PLL在整个温度范围内的锁定范围

手动选择VCO频段

器件还提供手动频段选择模式(PLL手动使能，寄存器0x0A的位[6] = 1)，允许用户选择VCO调谐带。在手动模式下，VCO频段直接由写入手动VCO频段(寄存器0x0A位[5:0])的值设置。为了正确选择VCO频段，应遵循下列步骤：

1. 将器件置于手动频段选择模式。
2. 在能使PLL锁定的一系列频段上扫描VCO频段。
3. 对于每个频段，利用VCO控制电压(寄存器0x0E[3:0])验证PLL已锁定并读取PLL。
4. 选择控制电压最接近范围中心(即0000或1000)的频段。详情参见表25。由此得到的VCO频段应该就是器件的最佳设置。将此频段写入手动VCO频段(寄存器0x0A[5:0])值。
5. 如果需要，可以通过查询VCO控制电压来确定VCO位于工作频段内何处。表25说明了如何解读PLL VCO控制电压(寄存器0x0E的位[2:0])值。

表25. VCO控制电压范围指示

VCO控制电压	指示
1111	移至更高的VCO频段
1110	
1101	VCO工作在频段的高端
1100	
1011	
1010	
1001	VCO工作在频段的最佳区间
1000	
0111	
0110	
0101	VCO工作在频段的低端
0100	
0011	
0010	
0001	移至更低的VCO频段
0000	

模拟输出

发射DAC操作

图67给出了发射路径DAC的示意框图。DAC内核包括电流源阵列、开关内核、数字控制逻辑和满量程输出电流控制。DAC满量程输出电流(I_{OUTFS})标称值为20 mA。IOUT1P/IOUT2P和IOUT1N/IOUT2N引脚的输出电流互补，即意味着这两个电流之和始终等于DAC的满量程电流。DAC的数字输入码决定提供给负载的有效差分电流。

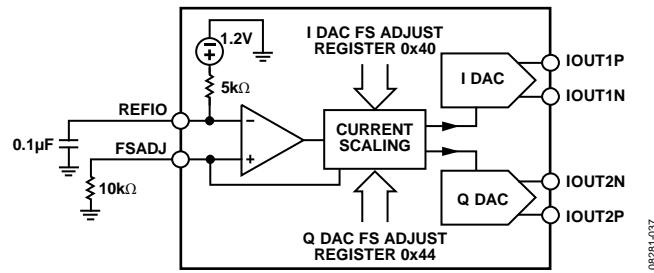


图67. DAC内核示意框图

DAC具有一个1.2 V带隙基准电压源，其输出阻抗为5 kΩ。基准输出电压出现在REFIO引脚上。使用内部基准电压源时，应使用一个0.1μF电容将REFIO引脚去耦至AVSS。只有在外部电路吸取的直流电流为2 μA或更低时，才可针对其使用内部基准电压源。对于2 μA以上的动态负载或静态负载，应缓冲REFIO引脚。需要时，可以将一个外部基准电压源(1.10 V至1.30 V)施加于REFIO引脚，从而覆盖内部基准电压源，或者通过设置寄存器0x43的位[5]来关断内部基准电压源。

FSADJ引脚与AVSS之间必须连接一个10 kΩ的外部电阻RSET。该电阻与基准电压控制放大器一同设置DAC的正确内部偏置电流。由于满量程电流与该电阻成反比，因此RSET的容差会反映在满量程输出幅度中。

满量程电流的计算公式如下所示，其中I和Q DAC的增益分别通过寄存器040和044进行设置：

使用 V_{REF} (1.2 V)、RSET (10 kΩ)和DAC增益(512)的标称值时，DAC的满量程电流典型值为20.16 mA。按照图68所示设置DAC增益参数时，可以在8.66 mA至31.66 mA范围内调整DAC满量程电流。

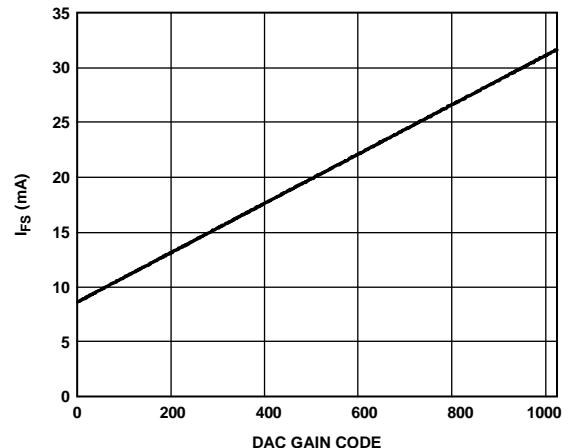


图68. DAC满量程电流与DAC增益码的关系

发射DAC传递函数

IOUT1P/IOUT2P和IOUT1N/IOUT2N引脚的输出电流互补，即意味着这两个电流之和始终等于DAC的满量程电流。DAC的数字输入码决定提供给负载的有效差分电流。当所有位均为高电平时，IOUT1P/IOUT2P提供最大输出电流。对于DAC输出，输出电流与DACCODE的关系式如下：

$$I_{OUTP} = \left[\frac{DACCODE}{2^N} \right] \times I_{OUTFS} \quad (1)$$

$$I_{OUTN} = I_{OUTFS} - I_{OUTP} \quad (2)$$

其中，DACCODE = 0至 $2^N - 1$ 。

发射DAC输出配置

以差分配置工作时，AD9122可以实现最佳噪声和失真性能。变压器和差分放大器的共模抑制能够大大减少DAC输出的共模误差源，其中包括偶阶失真产物和噪声。当重构波形的频率成分增加和/或幅度提高时，失真性能的改善更加显著，其原因是对各种动态共模失真机制、数字馈通和噪声进行了一阶消除。

图69给出了最基本的DAC输出电路。一对电阻 R_O 用于将互补的各输出电流转换为差分电压输出 V_{OUT} 。DAC的电流输出为高阻态，因此DAC输出的差分驱动点阻抗 R_{OUT} 等于 $2 \times R_O$ 。图70显示了输出电压波形。

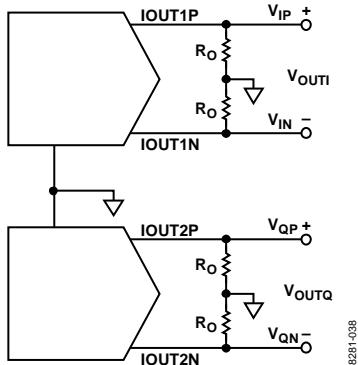


图69. 基本发射DAC输出电路

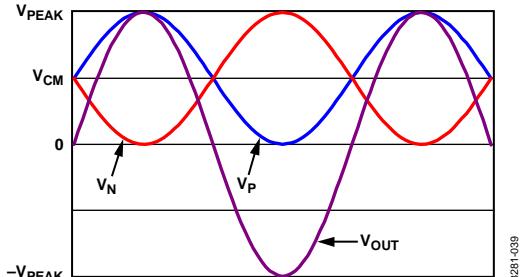


图70. 电压输出波形

共模信号电压 V_{CM} 的计算公式如下：

$$V_{CM} = \frac{I_{FS}}{2} \times R_O$$

峰值输出电压 V_{PEAK} 的计算公式如下：

$$V_{PEAK} = I_{FS} \times R_O$$

采用这种电路配置时，单端峰值电压与峰值差分输出电压相同。

发射DAC线性输出信号摆幅

为实现最佳性能，DAC输出必须遵从一定的线性输出电压范围。线性输出信号摆幅取决于满量程输出电流 I_{OUTFS} 和输出的共模电平。图71和图72显示了不同满量程输出电流和输出频率下IMD性能与共模电压的关系。

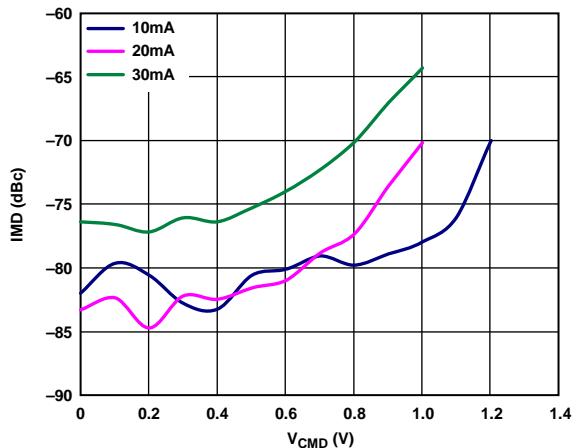


图71. IMD与输出共模电压的关系
($f_{OUT} = 61 \text{ MHz}$, $R_{LOAD} = 50 \Omega$ 差分, $I_{FS} = 10 \text{ mA}$ 、 20 mA 和 30 mA)

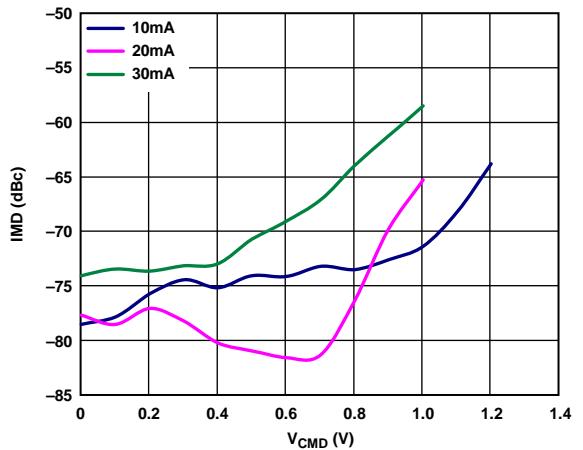


图72. IMD与输出共模电压的关系
($f_{OUT} = 161 \text{ MHz}$, $R_{LOAD} = 50 \Omega$ 差分, $I_{FS} = 10 \text{ mA}$ 、 20 mA 和 30 mA)

辅助DAC操作

AD9122有两个辅助DAC，一个与I路径关联，而另一个与Q路径关联。这些辅助DAC可以用来补偿发射信号的直流失调。每个辅助DAC有一个单端电流，该电流可以吸或流出到相关发射DAC的P或N输出端。辅助DAC结构如图73所示。

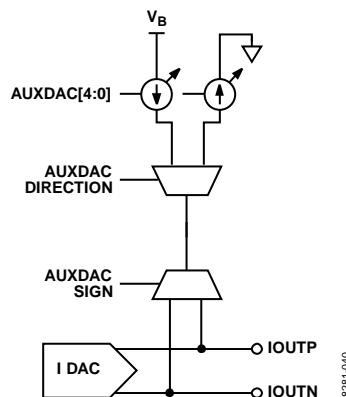


图73. 辅助DAC结构

用于控制I和Q辅助DAC的控制寄存器是寄存器0x42、寄存器0x43和寄存器0x46。

与调制器接口

AD9122只需极少的元件就能与ADL537x系列调制器接口。

图74给出了一个推荐的接口电路示例。

ADL537x系列的基带输入需要500 mV的直流偏置。DAC各输出端的标称中间电平输出电流为10 mA(满量程电流的一半)。因此,从DAC各输出端连接一个50 Ω电阻到地,就能获得ADL537x输入所需的500 mV直流共模偏置。信号电平可以通过增加与调制器输入端并联的负载电阻来降低。发射信号的峰峰值电压摆幅为:

$$V_{SIGNAL} = I_{FS} \times \frac{[2 \times R_B \times R_L]}{[2 \times R_B + R_L]}$$

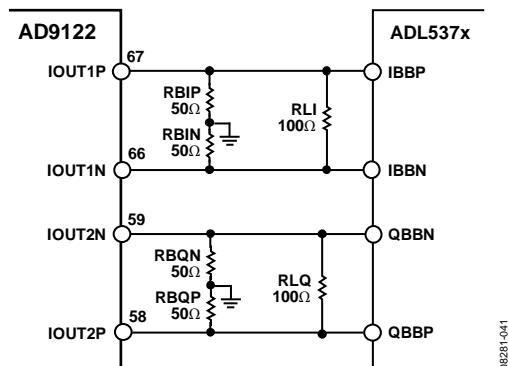


图74. AD9122与ADL537x系列调制器之间的典型接口电路

基带滤波器实现

大多数应用要求在DAC与调制器之间放置一个基带抗镜像滤波器,以滤除奈奎斯特镜像和宽带DAC噪声。该滤波器可以安装在DAC输出端的I-V电阻与调制器输入端上的信号电平设置电阻之间,这样就能确立该滤波器的输入和输出阻抗。

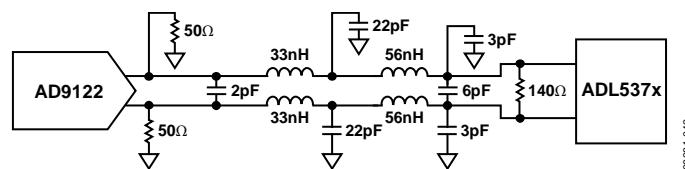


图76. DAC调制器与五阶低通滤波器接口

图76显示了一个五阶低通滤波器。I-V电阻与滤波器的其余部分之间有一个共模扼流圈,用以消除DAC产生的共模信号,并防止共模信号被转换为差分信号,从而作为干扰杂散信号出现在输出频谱中。将第一滤波器电容一分为二,并将中心点接地,可以构建一个共模低通滤波器,用以对高频信号进行进一步的共模抑制。共模信号可以通过纯差分滤波器。

驱动ADL5375-15

ADL5375-15需要1500 mV直流偏置,因此其接口要求比ADI公司的大多数其它调制器稍显复杂。DAC输出必须进行电平转换,以便从500 mV直流偏置转换到ADL5375-15所需的1500 mV直流偏置。电平转换可以利用纯无源网络实现,如图75所示。在该网络中, DAC的直流偏置仍然是500 mV,但ADL5375-15的输入是1500 mV。这种无源电平转换网络会导致交流信号出现大约2 dB的损耗。

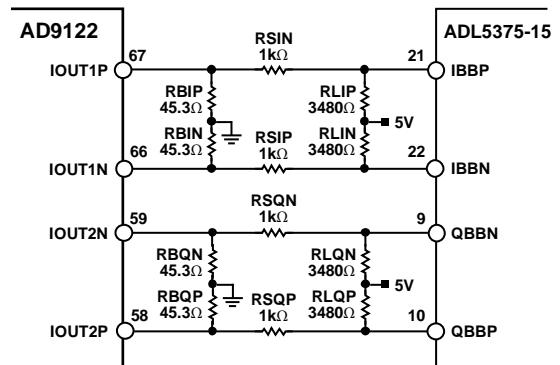


图75. 用于偏置ADL5375-15的无源电平转换网络

降低LO泄漏和干扰边带

由于I和Q基带输入存在直流失调电压，并且从LO输入到输出存在馈通路径，因此模拟正交调制器可能会引入LO频率的干扰信号。LO馈通可以通过在DAC输出端施加直流失调校正电压予以消除。这可以利用辅助DAC(寄存器0x42、寄存器0x43、寄存器0x46和寄存器0x47)或数字直流失调调整(寄存器0x3C至寄存器0x3F)来实现。使用辅助DAC的优点是无需使用任何主DAC动态范围来执行直流失

调调整，而缺点是输出信号的共模电平会随着辅助DAC电流而变化。使用数字失调调整时则相反。

为获得良好的边带抑制性能，I与Q信号的增益和相位均必须匹配。可以利用I/Q相位调整寄存器(寄存器0x38至寄存器0x3B)和DAC FS调整寄存器(寄存器0x40和寄存器0x44)来校准I和Q发射路径，从而优化边带抑制性能。

器件功耗

AD9122有四个供电轨：AVDD33、IOVDD、DVDD18和CVDD18。

AVDD33电源为DAC内核电路供电。AVDD33供电轨的功耗与数字工作模式和采样速率无关。当I和Q DAC的满量程电流设置为标称值20 mA时，AVDD33供电轨的典型功耗为57 mA(188 mW)。改变满量程电流会直接影响AVDD33供电轨吸取的电源电流。例如，如果I DAC和Q DAC的满量程电流变为10 mA，则AVDD33电源电流将降低20 mA，变为37 mA。

IOVDD电压供应给串行端口I/O引脚、RESET引脚和IRQ引脚。施加于IOVDD引脚的电压范围为1.8 V至3.3 V。IOVDD电源引脚的典型功耗为3 mA。

DVDD18电源为器件的所有数字信号处理模块供电。该电源的功耗与使能的数字模块以及器件的工作频率有关。

CVDD18电源为时钟接收器和时钟分配电路供电。该电源的功耗与器件的工作频率直接相关。CVDD18还为PLL供电。使能时，PLL的典型功耗为80 mA。

图77至图81给出了AD9122在各种工作条件下的功耗。所有图形的测量条件都是同时向I和Q通道提供数据。当所选的粗调制模式或模拟输出频率改变时，器件的功耗没有显著变化。除了DVDD18和CVDD18电源的功耗以外，还给出了总功耗图。

最大功耗估计比典型功耗高出20%。

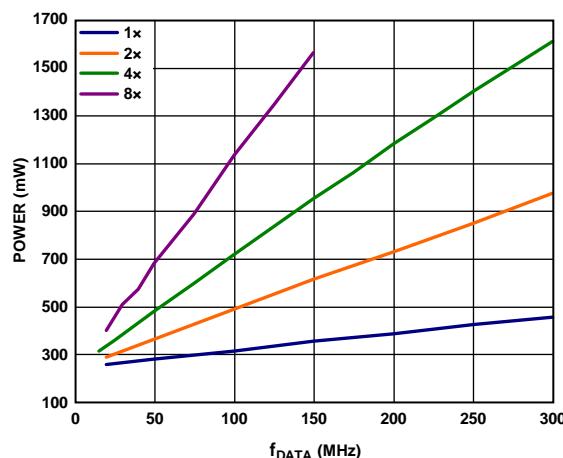


图77. 总功耗与 f_{DATA} 的关系
(不使用PLL、精密NCO和反Sinc滤波器)

08281-044

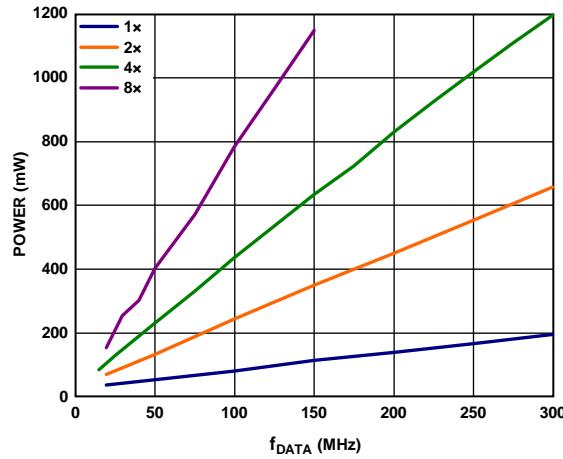


图78. DVDD18功耗与 f_{DATA} 的关系
(不使用精密NCO和反Sinc滤波器)

08281-045

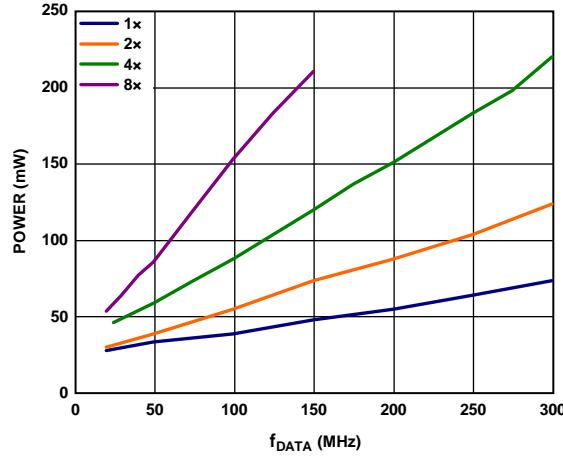
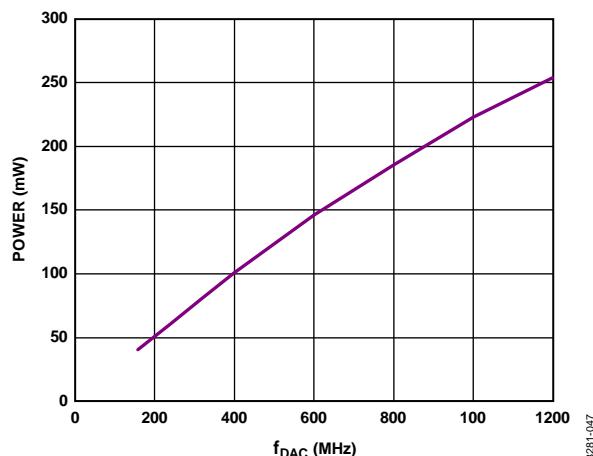
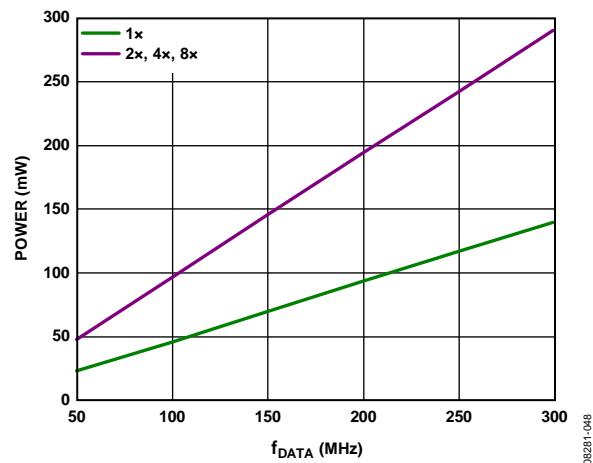


图79. CVDD18功耗与 f_{DATA} 的关系(PLL禁用)

08281-046

图80. DVDD18功耗与f_{DAC}的关系(受反Sinc滤波器影响)图81. DVDD18功耗与f_{DATA}的关系(受精密NCO影响)

温度传感器

AD9122内置一个基于二极管的温度传感器，用于测量芯片温度。通过寄存器0x49和寄存器0x4A可以访问温度读数。芯片温度的计算公式如下：

$$T_{DIE} = \frac{(DieTemp[15:0] - 47,925)}{88}$$

其中，T_{DIE}为芯片温度(°C)。温度精度典型值为±5°C。

如果知道器件的功耗，则可以估计环境温度。例如，假设器件功耗为800 mW，测得的芯片温度为50°C，则环境温度可以通过下式求得：

$$T_A = T_{DIE} - P_D \times T_{JA} = 50 - 0.8 \times 20.7 = 33.4^\circ\text{C}$$

其中：

T_A为环境温度(°C)。

T_{JA}为AD9122的结至环境热阻，如表7所示。

要使用温度传感器，必须将寄存器0x01的位4置0以使能温度传感器。此外，为了获得准确读数，应将范围控制寄存器(寄存器0x48)设置为0x02。

多芯片同步

系统可能要求多个DAC的输出彼此同步或与系统时钟同步。在支持发射分集或波束形成的系统中，会使用多根天线来发射相关信号，这就要求多个DAC输出彼此相位对齐。采用时分多路复用发射链的系统可能要求一个或多个DAC与系统级参考时钟同步。

对于多个器件，当各自时钟产生状态机的状态完全相同时，以及当时序对齐数据同时从所有器件的FIFO读取时，则认为这些器件彼此同步。当时钟产生状态机、从FIFO读取的数据与系统时钟的特定时钟边沿存在固定且已知的关系时，则认为器件与系统时钟同步。AD9122支持多个器件彼此同步或与系统时钟同步。

AD9122支持两种同步模式：数据速率模式和FIFO速率模式。这两种模式的区别在于同步逻辑尝试同步的最低速率时钟不同。在数据速率模式下，输入数据速率代表最低同步时钟。在FIFO速率模式下，FIFO速率(等于数据速率除以FIFO深度8)代表最低速率时钟。FIFO速率同步的优点是DCI变化(相对于DACCLK或REFCLK输入)的阻挡窗口间隔时间较长。

在数据速率模式下，无法利用FIFO的灵活性来吸收数据源与DAC之间的时间差异，从而导致阻挡窗口以输入数据速率重复。

选择何种方法来提供DAC采样时钟会直接影响同步方法的选择。使用器件时钟乘法器时，只能使用数据速率模式。直接提供DAC采样时钟时，可以选用数据速率模式和FIFO速率模式。下文将详细说明支持两种时钟模式和查询同步逻辑状态的同步方法。

利用时钟倍频实现同步

利用时钟乘法器来产生DAC采样速率时钟时，REFCLK输入信号同时用作PLL时钟乘法器的参考时钟以及同步信号。为使器件同步，应将REFCLK信号低偏斜地分配到需要同步的所有器件。不同器件REFCLK信号之间的偏斜直接表现为DAC输出的时序不匹配。

REFCLK信号的频率通常等于输入数据速率。FRAME和DCI信号可以在FPGA中与数据一同产生。典型配置的电路图如图82所示。

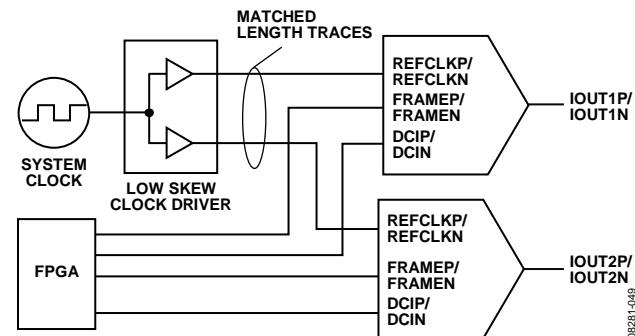


图82. 同步器件的典型电路图

“使用PLL时的同步程序”部分概述了实现多器件同步所需的步骤。该程序假设REFCLK信号施加于所有器件，并且各器件的PLL相位锁定至该信号。以下程序必须在每个器件上执行。

使用PLL时的同步程序

将0xC0写入同步控制寄存器(寄存器0x10)，以配置数据速率周期性同步。还可以使用其它同步选项。

读取同步状态寄存器(寄存器0x12)并确认同步锁定位(位6)为高电平，表示器件已经实现后端同步，且同步丢失位(位7)为低电平。这些电平表明，时钟相位相对于同步信号是恒定且已知的。

在写入两个完整输入数据字所需的时间内选通FRAME信号高电平，以使FIFO复位。复位FIFO的目的是确保从FIFO读取正确的数据。

这样就完成了同步程序，此时所用器件应被同步。

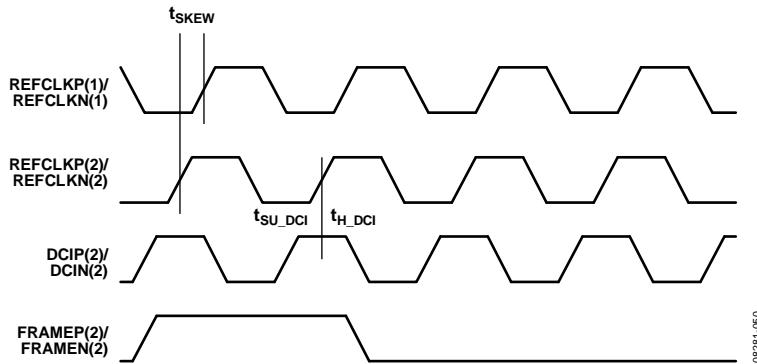


图83. 同步器件所需的时序图

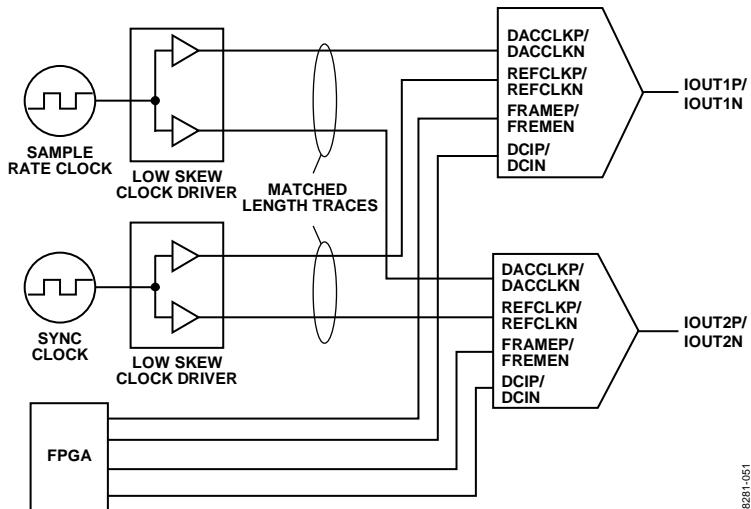


图84. 器件与系统时钟同步的典型电路图

为保持同步，器件REFCLK信号之间的偏斜必须小于 t_{SKEW} ns。各器件的DCI和数据与REFCLK信号之间还必须满足建立和保持时间要求。复位FIFO时，在写入两个完整输入数据字所需的时间内FRAME信号必须保持高电平。输入信号的时序图如图83所示。

在上例中，REFCLK频率等于数据速率。虽然这是最普遍的情况，但并不是正确同步严格要求的。任何满足下列条件的REFCLK频率都是可以接受的。

$$f_{\text{SYNC_I}} = f_{\text{DACCLK}}/2^N \text{ and } f_{\text{SYNC_I}} \leq f_{\text{DATA}}$$

其中， $N = 0, 1, 2$ 或 3 。

例如，以下配置就是可行的解决方案：4倍插值、时钟频率 $f_{\text{VCO}} = 1600$ MHz、 $f_{\text{DACCLK}} = 800$ MHz、 $f_{\text{DATA}} = 200$ MHz且 $f_{\text{SYNC_I}} = 100$ MHz。

利用直接输入时钟实现同步

直接提供DAC采样速率时钟时，实现同步需要一个独立的REFCLK输入信号。为使器件同步，必须将DACCLK信号和REFCLK信号低偏斜地分配到需要同步的所有器件。如

果器件需要与主时钟同步，则应直接利用主时钟来产生REFCLK输入(见图84)。

数据速率模式同步

“直接提供DAC采样时钟时的数据速率同步程序”部分概述了在数据速率模式下实现多器件同步所需的步骤。该程序假设DACCLK和REFCLK信号施加于所有器件。以下程序必须在每个器件上执行。

直接提供DAC采样时钟时的数据速率同步程序

将 $0x\text{C}0$ 写入同步控制寄存器(寄存器 $0x10$)，以配置数据速率周期性同步。还可以使用其它同步选项，详见“其它同步功能”部分。

轮询同步锁定位(寄存器 $0x12$ 的位6)，确认器件已经后端同步。此位为高电平表明时钟相位相对于同步信号是恒定且已知的。

在输入两个完整输入数据字所需的时间内选通FRAME信号高电平，以使FIFO复位。复位FIFO的目的是确保能够同时从各器件的FIFO读取正确的数据。

这样就完成了同步程序，此时所用器件应被同步。

为确保各DAC在同一CLK边沿更新为正确的数据，各DAC必须满足两个时序关系。DCIP/DCIN和D[15:0]P/D[15:0]N必须满足相对于DACCLK上升沿的建立和保持时间要求，而REFCLK也必须满足相对于DACCLK上升沿的建立和保持时间要求。复位FIFO时，在输入两个完整输入数据字所需的时间内FRAME信号必须保持高电平。满足这些条件时，各DAC的输出就能在彼此相差不超过($t_{\text{SKEW}} + t_{\text{OUTDLY}}$) ns的时间范围内完成更新。输入信号的时序要求如图85所示。

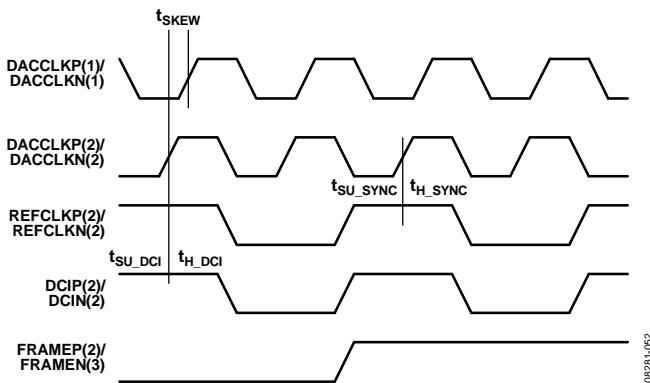


图85. 数据速率同步信号时序要求(2倍插值)

图85所示为2倍插值时的同步信号时序；因此， $f_{\text{DCI}} = \frac{1}{2} \times f_{\text{CLK}}$ 。所示的REFCLK输入等于数据速率。在数据速率模式下，器件可以重新同步的最大频率表示为：

$$f_{\text{SYNC_I}} = f_{\text{DATA}}/2^N$$

其中，N为任意非负整数。

一般而言，如果N值等于或大于3，应选择FIFO速率同步模式。

FIFO速率模式同步

“直接提供DAC采样时钟时的FIFO速率同步程序”部分概述了在FIFO速率模式下实现多器件同步所需的步骤。该程序假设REFCLK和DACCLK信号施加于所有器件。以下程序必须在每个器件上执行。

直接提供DAC采样时钟时的FIFO速率同步程序

将0x80写入同步控制寄存器(寄存器0x10)，以配置FIFO速率周期性同步。还可以使用其它同步选项，详见“其它同步功能”部分。

轮询同步锁定位(寄存器0x12的位[6])，确认器件已经后端同步。此位为高电平表明时钟相位相对于同步信号是恒定且已知的。

在输入两个完整输入字所需的时间内选通FRAME信号高电平，以使FIFO复位。复位FIFO的目的是确保能够同时从各器件的FIFO读取正确的数据。

这样就完成了同步程序，此时所用器件应被同步。

为确保各DAC在同一CLK边沿更新为正确的数据，各DAC必须满足两个时序关系。DCIP/DCIN和D[15:0]P/D[15:0]N必须满足相对于DACCLK上升沿的建立和保持时间要求，而REFCLK也必须满足相对于DACCLK上升沿的建立和保持时间要求。复位FIFO时，FRAME信号必须在至少三个数据周期(即1.5个DCI周期)内保持高电平。满足这些条件时，各DAC的输出就能在彼此相差不超过($t_{\text{SKEW}} + t_{\text{OUTDLY}}$) ns的时间范围内完成更新。输入信号的时序要求如图86所示。

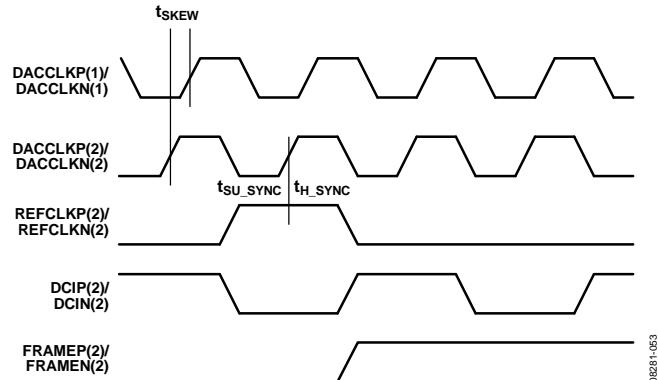


图86. FIFO速率同步信号时序要求(2倍插值)

图86所示为2倍插值时的同步信号时序；因此， $f_{\text{DCI}} = \frac{1}{2} \times f_{\text{CLK}}$ 。所示的REFCLK输入等于FIFO速率。一般而言，FIFO速率模式下器件可以重新同步的最大频率表示为：

$$f_{\text{SYNC_I}} = (f_{\text{DATA}}/8 \times 2^N)$$

其中，N为任意非负整数。

其它同步功能

同步逻辑整合了其它功能，可用来查询同步状态、提高同步的鲁棒性，以及提供单稳态同步模式。下面的“同步状态位”和“时序优化”部分将详细说明这些功能。

同步状态位

当同步锁定位(寄存器0x12的位6)置1时,说明同步逻辑已经达到对齐。当时钟产生状态机相位恒定时,即可确定已经实现这种对齐,所需时间为 $(11 + \text{均值}) \times 64$ 到 $(11 + \text{均值}) \times 128$ 个DACCLK周期。如“中断请求操作”部分所述,该位可以选择性地触发 $\overline{\text{IRQ}}$ 。

当同步丢失位(寄存器0x12的位7)置1时,说明先前同步的器件已经不再对齐。该位会被锁存并保持置位状态,直到通过覆写寄存器而清零。如“中断请求操作”部分所述,该位可以选择性地触发 $\overline{\text{IRQ}}$ 。

同步相位回读位(寄存器0x13的位[7:0])以6.2格式报告当前时钟相位,而位[7:2]报告时钟当前处于64种状态中的何种状态(0到63)。当均值使能时,位[1:0]提供 $\frac{1}{4}$ 状态精度(0、 $\frac{1}{4}$ 、 $\frac{1}{2}$ 、 $\frac{3}{4}$)。最低两位指示可能存在的时序余量问题。如果同步采样无误,小数时钟状态应为00。

时序优化

REFCLK信号由某个版本的DACCLK采样。如果检测到采样错误,可以选择相反的采样边沿来改善采样点。采样边沿可以通过设置寄存器0x10的位3(1 = 上升沿, 0 = 下降沿)进行选择。

当REFCLK信号与时钟产生状态机的状态之间相位变化超过某一阈值时,同步逻辑会重新同步。为减轻抖动效应并防止错误的重新同步,可以对相对相位求取平均值。均值数量由同步均值位(寄存器0x10的位[2:0])设置,范围为1到128。均值数越多,则器件辨识并重新同步到有效相位校正的时间越长。一般而言,在符合所分配的重新同步时间间隔条件下,均值数应尽可能多。

同步相位请求位值(寄存器0x11的位[5:0])是初始化时时钟产生状态机的复位状态。通过改变该值,可以调整内部时钟相对于REFCLK信号的时序。每次同步相位请求[5:0](寄存器0x11的位[5:0])值递增时,内部时钟便前进一个DACCLK周期。这种偏移有两个作用:一是以DACCLK周期为增量,使两个同步DAC的输出发生偏斜;二是改变DCI输入与REFCLK之间的相对时序。在数据速率同步模式下,这可以使DCI采样点放在更佳的位置。

表26. 同步建立和保持时间

参数	最小值	最大值	单位
t_{SKEW}	$-t_{\text{DACCLK}}/2$	$+t_{\text{DACCLK}}/2$	ps
$t_{\text{SV_SYNC}}$	100		ps
$T_{\text{H_SYNC}}$	330		ps

中断请求操作

AD9122提供中断请求输出信号(引脚7上, $\overline{\text{IRQ}}$), 可用来在发生重要器件事件时通知外部主机处理器。中断置位时, 应查询器件以确定到底发生了何种事件。 $\overline{\text{IRQ}}$ 引脚是一个开漏、低电平有效输出。应在器件外部拉高 $\overline{\text{IRQ}}$ 引脚。此引脚可以连接到其它器件的开漏输出中断引脚, 使这些引脚形成‘线或’连接。

该器件向外部提供了16个不同的事件标志, 这些标志位于两个事件标志寄存器(寄存器0x06和寄存器0x07)中。各事件标志的行为可以通过中断使能寄存器(寄存器0x04和寄存器0x05)来单独选择。当标志中断使能激活时, 事件标志锁存并触发外部中断。当标志中断禁用时, 事件标志仅监控源信号, 而外部 $\overline{\text{IRQ}}$ 处于无效状态。

图87所示为 $\overline{\text{IRQ}}$ 相关电路。该图显示了事件标志信号如何传播到 $\overline{\text{IRQ}}$ 输出。 interrupt_enable 信号代表中断使能寄存器中的一位。 event_flag_source 信号代表事件标志寄存器中的一位。 event_flag_source 信号代表可以监控的一个器件信号, 例如来自PLL鉴相器的 PLL_locked 信号或来自FIFO控制器的FIFO警告1信号等。

当一个中断使能位变为高电平时, 相应的事件标志位反映正触发状态, 即在 event_flag_source 信号的 event_flag_source 版本上升沿锁存。该信号也会置位外部 $\overline{\text{IRQ}}$ 。当一个中断使能位变为低电平时, 事件标志位反映 event_flag_source 信号的当前状态, 而事件标志对外部 $\overline{\text{IRQ}}$ 无影响。

事件标志的锁存版本($\text{interrupt_source_signal}$)可通过两种方式予以清除。推荐方法是将1写入到相应的事件标志位。硬件或软件复位也能清除 interrupt_source 。

中断服务程序

中断请求管理从选择需要主机干预或监控的事件标志集开始。应当使能那些需要主机采取行动的事件, 以便在发生这些事件时能够通知主机。对于要求主机干预的事件, 在 $\overline{\text{IRQ}}$ 激活时, 应执行下述程序以清除中断请求:

1. 读取受监控的事件标志位的状态。
2. 将中断使能位设置为低电平, 以便可以直接监控未锁存的 event_flag_source 。
3. 执行清除 event_source_flag 可能需要的所有操作。许多情况下, 可能不需要执行任何特定操作。
4. 读取事件标志位, 以确认所采取的操作已经清除 event_flag_source 。
5. 将1写入到事件标志位以清除中断。
6. 设置需所监控事件的中断使能位。

注意, 有些 event_flag_source 信号是锁存信号, 清除这些信号的方法是写入相应的事件标志位。有关各事件标志位的详细信息, 请参见表11。

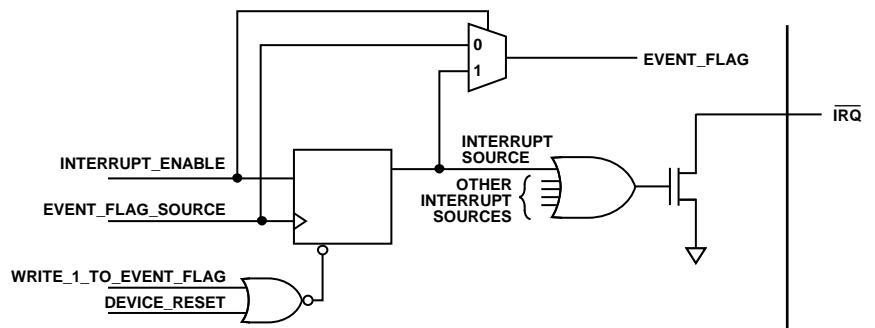


图87. $\overline{\text{IRQ}}$ 电路原理示意图

接口时序验证

AD9122片内集成采样误差检测(SED)电路，可以简化输入数据接口的验证。SED将数字输入引脚上采集的输入数据样本与一组比较值进行比较。比较值通过SPI端口载入寄存器。SED会检测并存储采集值与比较值之间的差异。可以使用多种选项来定制SED测试序列和误差处理。

SED操作

SED电路采用一个数据集工作，该数据集由四个分别表示为I0、Q0、I1和Q1的16位输入字组成。为使输入样本正确对齐，第一个I数据字(即I0)通过在至少一个完整的输入采样期间置位FRAME来表示。

图88显示了字模式下接口的输入时序。FRAME信号可以在数据传输一开始就发出，或者在与I0和Q0数据字重合的时间间隔内重复置位。

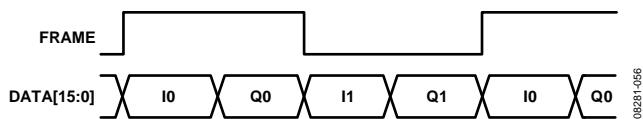


图88. SED对齐输入数据所需的扩展FRAME信号时序图

SED有三个标志位(寄存器0x67的位0、位1和位5)，用以表示输入样本比较的结果。检测到错误时，检测到采样错误位(寄存器0x67的位5)即会置位，并且在清零之前一直保持置位状态。SED还提供了寄存器来指示出现错误的具体输入数据位(寄存器0x70至寄存器0x73)。在清除之前，这些位会被锁存，并指示累计检测到的错误数。

自动清零模式有两个作用：一是激活比较失败位和比较通过位(寄存器0x67的位1和位0)，二是改变寄存器0x70至寄存器0x73的行为。如果最后一次比较显示采样无误，则比较通过位置1。如果检测到错误，则比较失败位置1。当连续接收到八个无误比较时，比较失败位自动清零。当自动清零模式使能时，寄存器0x70至寄存器0x73像前文所述一样累计错误，但连续八次采样比较无误后会复位至全0状态。

表27. 比较结果的变化和相应的SED寄存器值

比较结果(通过/失败)	P	F	F	F	P	P	P	P	P	P	P	P	P	P	F	P	F
寄存器0x67的位5(检测到采样错误)	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
寄存器0x67的位1(比较失败)	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
寄存器0x67的位0(比较通过)	1	0	0	0	1	1	1	1	1	1	1	1	1	0	1	0	0
寄存器0x70至寄存器0x73 (检测到错误x_BITS[15:0])	Z ¹	N ²	Z ¹	N ²	N ²	N ²											

¹ Z = 全0。

² N = 非0。

如果需要，可以将采样错误、比较通过和比较失败标志位配置为激活时触发 $\overline{\text{IRQ}}$ 。这可以通过使能事件标志寄存器(寄存器0x07)中的相应位来实现。

表27显示了输入采样比较结果的变化及相应的错误标志状态。

SED示例

正常工作

下例显示了用于连续监控输入数据并在检测到一个错误时就置位的SED配置。

1. 写入下列寄存器以使能SED并加载比较值：

寄存器0x67 \rightarrow 0x80

寄存器0x68 \rightarrow I0[7:0]

寄存器0x69 \rightarrow I0[15:8]

寄存器0x6A \rightarrow Q0[7:0]

寄存器0x6B \rightarrow Q0[15:8]

寄存器0x6C \rightarrow I1[7:0]

寄存器0x6D \rightarrow I1[15:8]

寄存器0x6E \rightarrow Q1[7:0]

寄存器0x6F \rightarrow Q1[15:8]

比较值可以任意选择；不过，如果所选值需要频繁进行位跳变，测试稳健性最佳。

2. 使能SED错误检测标志以置位 $\overline{\text{IRQ}}$ 引脚。

寄存器0x05 \rightarrow 0x04

3. 开始发送输入数据码。

如果 $\overline{\text{IRQ}}$ 置位，应读取寄存器0x67和寄存器0x70至寄存器0x73，以确认检测到SED错误，并确定哪些输入位出错。寄存器0x70至寄存器0x73中的位被锁存；因此，这些位指示的是整个测试期间发生在这些位上的所有错误，而不只是导致检测到错误标志位置1的错误。

注意，当器件配置为字模式时，正常工作期间无需FRAME信号。若要像上文所述一样使能I0采样对齐，则必须使用FRAME信号。字节和半字节模式的时序图与正常工作时一样，分别如图44和图45所示。

启动程序示例

为确保AD9122可靠地启动，应遵循一定的操作序列。本部分给出了一个启动程序示例，其配置详情如以下部分所述。

器件配置

本例采用如下器件配置：

$$f_{\text{DATA}} = 122.88\text{MHz}$$

插值 = 4倍，其中HB1='10'且HB2='010010'

输入数据 = 基带数据

$$f_{\text{OUT}} = 140\text{MHz}$$

$$f_{\text{REFCLK}} = 122.88\text{MHz}$$

PLL = 使能

精密NCO = 使能

反SINC滤波器 = 使能

同步 = 使能

芯片版本 = R2

派生的PLL设置

从器件配置可以推导出如下PLL设置：

$$f_{\text{DACCLK}} = f_{\text{DATA}} * \text{Interpolation} = 491.52\text{MHz}$$

$$f_{\text{VCO}} = 4 * f_{\text{DACCLK}} = 1966.08\text{MHz} \quad (1\text{GHz} < f_{\text{VCO}} < 2\text{GHz})$$

$$N1 = f_{\text{DACCLK}} / f_{\text{REFCLK}} = 4$$

$$N2 = f_{\text{VCO}} / f_{\text{DACCLK}} = 4$$

派生的NCO设置

从器件配置可以推导出如下NCO设置：

$$f_{\text{NCO}} = 2 * f_{\text{DATA}}$$

$$f_{\text{CARRIER}} = f_{\text{OUT}} - f_{\text{MODHB1}} = 140 - 122.88 = 17.12\text{MHz}$$

$$FTW = 17.12 / (2 * 122.88) * 2^{32} = 0x11D55555$$

启动序列

下面是确保器件可靠启动的电源、时钟和寄存器写序列：

器件上电(无需特定电源序列)

施加稳定的REFCLK输入信号

施加稳定的DCI输入信号。

发出硬件复位(H/W RESET)命令(可选)

器件配置寄存器写序列：

```
0x00 → 0x20 /* Issue Software Reset */
0x00 → 0x00

0x0B → 0x20 /* Start PLL */
0x0C → 0xE1
0x0D → 0xD9
0x0A → 0xCF
0x0A → 0xA0
/* ??Verify PLL is Locked?? */

Read 0x0E, Expect bit 7 = 0, bit 6 = 1
Read 0x06, Expect 0x5C
```

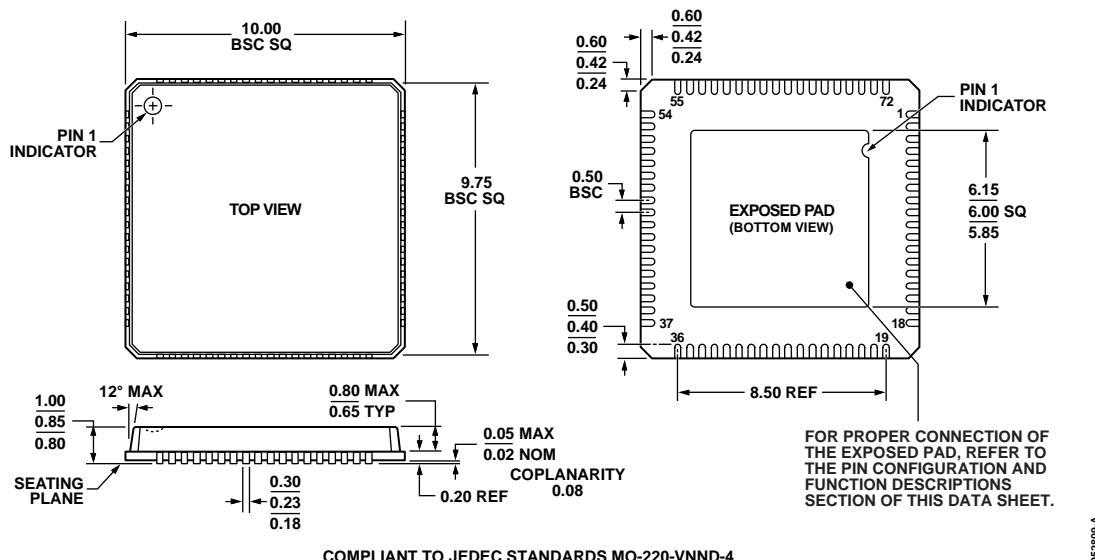
```
0x10 → 0x48 /* Choose Data Rate Mode */
0x17 → 0x04 /* Issue Software FIFO Reset */
0x18 → 0x02
0x18 → 0x00
/* ??Verify FIFO Reset?? */

Read 0x18, Expect 0x05
Read 0x19, Expect 0x07
```

```
0x1B → 0x84 /* Configure Interpolation Filters */
0x1C → 0x04
0x1D → 0x24

0x1E → 0x01 /* Configure NCO */
0x30 → 0x55
0x31 → 0x55
0x32 → 0xD5
0x33 → 0x11
0x36 → 0x01 /* Update Frequency Tuning Word */
0x36 → 0x00
```

外形尺寸



052809-A

图89. 72引脚LFCSP_VQ封装
10 mm x 10 mm, 超薄体(CP-72-7)
图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9122BCPZ	-40°C至+85°C	72引脚LFCSP_VQ	CP-72-7
AD9122BCPZRL	-40°C至+85°C	72引脚LFCSP_VQ	CP-72-7
AD9122-M5372-EBZ		连接到ADL5372调制器的评估板	
AD9122-M5375-EBZ		连接到ADL5375调制器的评估板	

¹ Z = 符合RoHS标准的器件。